

## 明 細 書

オフセット波形を用いたプラズマディスプレイパネルの駆動回路

5

## 技術分野

本発明は、プラズマディスプレイパネル（以後「PDP」と記す）の駆動回路に関し、さらに詳しくは、サステイン放電の際に表示電極に印加する電圧パルスにオフセット電圧を重畳するようにしたPDPの駆動回路に関する。PDPは薄型大画面という特徴を持ち、テレビ、公衆表示モニターとして商品化されている。

## 背景技術

15 PDPとして、AC型3電極面放電形式のPDPが広く知られている。このPDPは、前面側（表示面側）の基板の内側面に面放電が可能な表示電極を水平方向に多数設け、背面側の基板の内側面に多数の選択用電極（アドレス電極やデータ電極とも呼ばれる）を垂直方向に設ける。そして、前面側の基板と背面側の基板を対向配置して周辺を封止し、内部に放電空間を形成して、表示電極とアドレス電極との交差部をセルとするものである。

表示電極は、発光させるべきセルを選択する際に用いるY電極と、全てのセルに同じ電圧を印加するためのX電極とを交互

に配置した構成となっている。

この構造の P D P では、階調表示のため、一般にアドレス・表示分離方式と呼ばれる駆動方式で表示が行われている。すなわち、1 フレームを、重み付けをした複数のサブフィールドに分割し、各サブフィールドを、発光させるべきセルを選択するアドレス期間と、選択したセルを発光させるサステイン期間とで構成する。

そして、表示の際には、Y 電極をスキャン電極として用いて画面の走査を行い、その間に所望のアドレス電極に電圧（一般に「アドレス電圧」と呼ばれる）を印加して、表示電極とアドレス電極との間でアドレス放電を発生させて、発光させるべきセル内に電荷を形成する。次に、X 電極と Y 電極に表示用の電圧（一般に「サステイン電圧」と呼ばれる）を交互に印加して、X, Y 電極間で重み付けの回数だけサステイン放電を継続することで、表示を行うようにしている。

このサステイン放電の際に印加する電圧の波形は、図 2 7 に示したような矩形波を用い、この矩形波を交互に印加する方法が一般的であるが、この変形例として、駆動マージンを広げる目的あるいは発光効率を向上させる目的で、図 2 8 に示したオフセット波形が用いられることがある。

このオフセット波形は、矩形波にオフセット電圧を重畳した電圧波形であり、例えば特開昭 5 2 - 1 5 0 9 4 1 号公報、特開昭 5 2 - 1 5 0 9 4 0 号公報、特開昭 5 0 - 3 9 0 2 4 号公報、特開平 3 - 2 5 9 1 8 3 号公報、特開平 4 - 2 6 7 2 9 3

号公報等により知られている。

また、それらのオフセット波形を形成するための回路が特開  
2001-13919号公報などに示されている。この回路は  
図29に示すような回路である。以下、このオフセット波形を  
5 形成するための回路について説明する。

図29の回路において、コンデンサCはPDPのパネル容量  
である。抵抗Rは配線抵抗である。インダクタンターL1はコ  
ンデンサCとで共振回路を構成するためのものである。電圧V  
oはオフセット電圧を印加するためのものであり、電圧Vsは  
10 矩形波を印加するためのものである。スイッチSW1は電圧V  
oの印加タイミングを制御するためのものであり、スイッチS  
W2は電圧Vsの印加タイミングを制御するためのものである。

図30はスイッチSW1とスイッチSW2のスイッチタイミ  
ングを示す説明図である。

15 図中、 $t_1$ は波形の立ち上がり開始時間を、 $t_2$ は最大電圧  
となる時間を、 $t_3$ は電圧がVsになる時間を、それぞれ示し  
ている。

最大の発光効率が得られる条件は、電圧が最大の状態で放電  
が開始されることであり、放電の開始時間を $t_f$ とした場合、  
20  $t_f = t_2$ となる一瞬のみが最適値である。

最適値から外れた例を図31および図32に示す。

図31は $t_f > t_3$ の場合のタイミング図で、この場合、放  
電は電圧Vsで発生するため、オフセット波形を印加せずに、  
通常矩形波形を印加した場合と発光効率は同等であり、 $t_f$

=  $t_2$  の場合と比較して、発光効率は低下する。

また、図 3 2 は  $t_f < t_3$  の場合のタイミング図で、この場合、波形の立ち上がり途中で放電が開始され、放電による電圧ドロップによって十分な電圧がかかるとなく放電が行われる。

5 このため、 $t_f = t_2$  の場合と比較して、発光効率は低下する。

なお、 $t_2 > t_f > t_3$  の場合、発光効率は  $t_f = t_2$  の場合を最高として、放電開始時間  $t_f$  が遅くなるほど発光効率が低下する。

10 以上説明した通り、オフセット電圧を利用するプラズマディスプレイにおいては、オフセット波形の印加タイミングと放電開始時間との関係には、最適範囲が存在し、この関係が適切でない場合には発光効率が低下する。

このオフセット波形の印加タイミングと放電開始時間との関係について、従来の回路では、オフセット波形の上昇タイミングと下降タイミングが LC 共振の時定数に依存し、調整が難しいという問題があった。また、放電開始時間  $t_f$  は、表示状態によって変動するプライミング粒子量に依存して変動するため、従来の回路では、動作が不安定になるという問題があった。

20 本発明は、このような事情を考慮してなされたもので、オフセット電圧波形の上昇タイミングと下降タイミングを放電タイミングに合わせて任意に調整する機構を付加することで、プラズマディスプレイパネルの発光効率を向上させることを目的とするものである。

## 発明の開示

本発明は、多数のセルを有し、各セルには一対の表示電極が設けられ、それらの表示電極が誘電体層によって被覆されたプラズマディスプレイパネルの駆動回路であって、駆動回路が、

5 発光させるべきセルを選択するスキャン回路と、選択したセルの表示電極間にサステイン電圧を印加して、輝度に応じた回数だけ表示電極間でサステイン放電を発生させるサステイン電圧印加回路を有し、サステイン電圧印加回路が、所定波形のサステインパルスが発生させるサステインパルス発生回路と、サステインパルスよりも波高値の高いオフセットパルスが発生させる

10 オフセットパルス発生回路とを並列に接続した回路からなり、オフセットパルス発生回路が、オフセット電圧印加用の第1電圧源と、第1電圧を表示電極間に印加する第1スイッチング回路と、オフセット電圧印加用の共振電圧を発生させるインダクタンス成分と、表示電極に流す電流を順方向に規制して共振電圧の電位をサステイン電圧よりも高いレベルに一定時間保持する順方向ダイオードから構成され、サステインパルス発生回路が、サステイン電圧印加用の第2電圧源と、第2電圧を表示電極間に印加する第2スイッチング回路から構成されてなるプラ

15 ズマディスプレイパネルの駆動回路である。

20

本発明によれば、オフセットパルス発生回路に、共振電圧の電位をサステイン電圧よりも高いレベルに一定期間保持する順方向ダイオードを設けたので、第1および第2スイッチング回路のスイッチングの時期を適切に設定することにより、オフセ

ットパルスの電位を任意の期間保持させることができる。したがって、表示電極に印加する電圧が最大の状態（オフセットパルスが印加されている状態）で放電が開始されるようにすることができ、これにより表示電極間の放電を高い発光効率で発生させることができる。

#### 図面の簡単な説明

- 図 1 は本発明の駆動回路を適用する P D P の構成を示す部分分解斜視図であり、
- 10 図 2 は P D P を平面的に見た状態を示す説明図であり、
- 図 3 は駆動装置の配置を示す説明図であり、
- 図 4 は駆動装置のブロック図であり、
- 図 5 はサステナ回路の実施形態 1 の回路原理を示す説明図であり、
- 15 図 6 はスイッチ S W 1 とスイッチ S W 2 のスイッチタイミングを示す説明図であり、
- 図 7 はスイッチ S W 1 とスイッチ S W 2 のスイッチタイミングの他の例を示す説明図であり、
- 図 8 はサステナ回路の具体的な回路構成例を示す説明図であり、
- 20 図 9 はサステナ回路の実施形態 2 の回路原理を示す説明図であり、
- 図 10 はスイッチ S W 1 , S W 2 , S W 3 のスイッチタイミングを示す説明図であり、

図 1 1 はサステナ回路の具体的な回路構成例を示す説明図であり、

図 1 2 はサステナ回路の実施形態 3 の回路原理を示す説明図であり、

5 図 1 3 はスイッチ S W 1 ～ S W 3 のスイッチタイミングを示す説明図であり、

図 1 4 はサステナ回路の具体的な回路構成例を示す説明図であり、

10 図 1 5 はサステナ回路の実施形態 4 の回路原理を示す説明図であり、

図 1 6 はスイッチ S W 1 ～ S W 5 のスイッチタイミングを示す説明図であり、

図 1 7 はサステナ回路の具体的な回路構成例を示す説明図であり、

15 図 1 8 はサステナ回路の実施形態 5 の回路原理を示す説明図であり、

図 1 9 はスイッチ S W 1 ～ S W 5 のスイッチタイミングを示す説明図であり、

20 図 2 0 はサステナ回路の具体的な回路構成例を示す説明図であり、

図 2 1 はサステナ回路の実施形態 6 の回路原理を示す説明図であり、

図 2 2 はスイッチ S W 1 , S W 2 のスイッチタイミングを示す説明図であり、



図 2 3 はサステナ回路の具体的な回路構成例を示す説明図であり、

図 2 4 はサステナ回路の実施形態 7 の回路原理を示す説明図であり、

5 図 2 5 はスイッチ S W 1 , S W 2 , S W 7 のスイッチタイミングを示す説明図であり、

図 2 6 はサステナ回路の具体的な回路構成例を示す説明図であり、

10 図 2 7 は従来のサスティン放電の際に印加する電圧の波形を示す説明図であり、

図 2 8 は従来のオフセット波形を示す説明図であり、

図 2 9 は従来のオフセット波形を形成するための回路を示す説明図であり、

15 図 3 0 は従来のオフセット波形を形成するための回路のスイッチタイミングを示す説明図であり、

図 3 1 は従来の放電開始の時期が最大電圧の時期よりも遅い場合の例を示す説明図であり、

図 3 2 は従来の放電開始の時期が最大電圧の時期よりも早い場合の例を示す説明図である。

20

発明を実施するための最良の形態

本発明において、多数のセルは、基板上に電極を形成しその電極を誘電体層で覆った前面側と背面側のパネルアセンブリを対向配置し、内部の放電空間を隔壁で仕切ることにより形成す



ることができる。これにより各セル内に誘電体層で被覆した一対の表示電極を設けた構成とすることができる。

上記の基板としては、ガラス、石英、セラミック等の基板や、これらの基板上に、電極、絶縁膜、誘電体層、保護膜等の所望  
5 の構成物を形成した基板が含まれる。

電極は、当該分野で公知の各種の材料と方法を用いて形成することができる。電極に用いられる材料としては、例えば、ITO、 $\text{SnO}_2$ などの透明な導電性材料や、Ag、Au、Al、Cu、Crなどの金属の導電性材料が挙げられる。電極の形成  
10 方法としては、当該分野で公知の各種の方法を適用することができる。たとえば、印刷などの厚膜形成技術を用いて形成してもよいし、物理的堆積法または化学的堆積法からなる薄膜形成技術を用いて形成してもよい。厚膜形成技術としては、スクリーン印刷法などが挙げられる。薄膜形成技術の内、物理的堆積  
15 法としては、蒸着法やスパッタ法などが挙げられる。化学的堆積方法としては、熱CVD法や光CVD法、あるいはプラズマCVD法などが挙げられる。

駆動回路は、発光させるべきセルを選択するスキャン回路と、選択したセルの表示電極間にサステイン電圧を印加して、輝度  
20 に応じた回数だけ表示電極間でサステイン放電を発生させるサステイン電圧印加回路を有していればよい。

サステイン電圧印加回路は、所定波形のサステインパルスが発生させるサステインパルス発生回路と、サステインパルスよりも波高値の高いオフセットパルスが発生させるオフセットパ

ルス発生回路とを並列に接続した回路であればよい。

オフセットパルス発生回路は、オフセット電圧印加用の第 1 電圧源と、第 1 電圧を表示電極間に印加する第 1 スイッチング回路と、オフセット電圧印加用の共振電圧を発生させるインダクタンス成分と、表示電極に流す電流を順方向に規制して共振電圧の電位をサステイン電圧よりも高いレベルに一定時間保持する順方向ダイオードから構成されていればよい。

サステインパルス発生回路は、サステイン電圧印加用の第 2 電圧源と、第 2 電圧を表示電極間に印加する第 2 スイッチング回路から構成されていればよい。

オフセット電圧印加用の第 1 電圧源およびサステイン電圧印加用の第 2 電圧源は、当該分野で公知の電圧源を適用することができる。

第 1 スイッチング回路および第 2 スイッチング回路も、当該分野で公知のトランジスタを用いたスイッチング回路を適用することができる。

インダクタンス成分は、オフセットパルス用の共振電圧を発生させることができるものであればよい。この共振電圧とは、本インダクタンス成分  $L$  と表示電極のキャパシタンス成分  $C$  との作用によって生ずる  $LC$  共振の電圧を意味する。

順方向ダイオードは、表示電極に流す電流を順方向に規制して共振電圧の電位をサステイン電圧よりも高いレベルに一定時間保持できるものであればよい。この順方向ダイオードは、上記の機能を満たすものであれば特に限定されず、どのようなダ

イオードを適用してもよい。

以下、図面に示す実施の形態に基づいて本発明を詳述する。  
なお、本発明はこれによって限定されるものではなく、各種の変形が可能である。

5 図 1 は本発明の駆動回路を適用する P D P の構成を示す部分分解斜視図である。この P D P はカラー表示用の A C 型 3 電極面放電形式の P D P である。

本 P D P は、前面側（表示面側）の基板 1 1 を含む前面側の  
パネルアセンブリと、背面側の基板 2 1 を含む背面側のパネル  
10 アセンブリから構成されている。前面側の基板 1 1 と背面側の  
基板 2 1 としては、ガラス基板、石英基板、セラミック基板等  
を使用することができる。

前面側の基板 1 1 の内側面には、水平方向に表示電極 X と表  
示電極 Y が等間隔に形成されている。表示電極 X と表示電極 Y  
15 の間、および表示電極 Y と表示電極 X の間の、全てのラインが  
表示ライン L となる。各表示電極 X, Y は、I T O、S n O<sub>2</sub>  
などの幅の広い透明電極 1 2 と、例えば A g、A u、A l、C  
u、C r 及びそれらの積層体（例えば C r / C u / C r の積層  
構造）等からなる金属製の幅の狭いバス電極 1 3 から構成され  
20 ている。表示電極 X, Y は、A g、A u についてはスクリーン  
印刷のような厚膜形成技術を用い、その他については蒸着法、  
スパッタ法等の薄膜形成技術とエッチング技術を用いること  
により、所望の本数、厚さ、幅及び間隔で形成することができる。

表示電極 X, Y の上には、表示電極 X, Y を覆うように交流

(A C) 駆動用の誘電体層 1 7 が形成されている。誘電体層 1 7 は、低融点ガラスペーストを、前面側の基板 1 1 上にスクリーン印刷法で塗布し、焼成することにより形成している。

5 誘電体層 1 7 の上には、表示の際の放電により生じるイオンの衝突による損傷から誘電体層 1 7 を保護するための保護膜 1 8 が形成されている。この保護膜は、例えば、M g O、C a O、S r O、B a O 等からなる。

背面側の基板 2 1 の内側面には、平面的にみて表示電極 X, Y と交差する方向に複数のアドレス電極 A が形成され、そのアドレス電極 A を覆って誘電体層 2 4 が形成されている。アドレス電極 A は、スキャン用の表示電極との交差部で発光セルを選択するためのアドレス放電を発生させるものであり、C r / C u / C r の 3 層構造で形成されている。このアドレス電極 A は、  
10 その他に、例えば A g、A u、A l、C u、C r 等で形成することもできる。アドレス電極 A も、表示電極 X, Y と同様に、A g、A u についてはスクリーン印刷のような厚膜形成技術を用い、その他については蒸着法、スパッタ法等の薄膜形成技術とエッチング技術を用いることにより、所望の本数、厚さ、幅及び間隔で形成することができる。誘電体層 2 4 は、誘電体層  
15 1 7 と同じ材料、同じ方法を用いて形成することができる。  
20

隣接するアドレス電極 A とアドレス電極 A との間の誘電体層 2 4 上には、複数の隔壁 2 9 が形成されている。隔壁 2 9 は、サンドブラスト法、印刷法、フォトエッチング法等により形成することができる。例えば、サンドブラスト法では、低融点ガ

ラスフリット、バインダー樹脂、溶媒等からなるガラスペーストを誘電体層 24 上に塗布して乾燥させた後、そのガラスペースト層上に隔壁パターンの開口を有する切削マスクを設けた状態で切削粒子を吹きつけて、マスクの開口に露出したガラスペースト層を切削し、さらに焼成することにより形成する。また、5 フォトエッチング法では、切削粒子で切削することに代えて、バインダー樹脂に感光性の樹脂を使用し、マスクを用いた露光及び現像の後、焼成することにより形成する。

隔壁 29 の側面及び隔壁間の誘電体層 24 上には、赤 (R)、  
10 緑 (G)、青 (B) の蛍光体層 28 R、28 G、28 B が形成されている。蛍光体層 28 R、28 G、28 B は、蛍光体粉末とバインダー樹脂と溶媒とを含む蛍光体ペーストを隔壁 29 間の凹溝状の放電空間内にスクリーン印刷、又はディスペンサーを用いた方法などで塗布し、これを各色毎に繰り返した後、焼  
15 成することにより形成している。この蛍光体層 28 R、28 G、28 B は、蛍光体粉末と感光性材料とバインダー樹脂とを含むシート状の蛍光体層材料（いわゆるグリーンシート）を使用し、フォトリソグラフィ技術で形成することもできる。この場合、所望の色のシートを基板上の表示領域全面に貼り付けて、露光、  
20 現像を行い、これを各色毎に繰り返すことで、対応する隔壁間に各色の蛍光体層を形成することができる。

PDP は、上記した前面側のパネルアセンブリと背面側のパネルアセンブリとを、表示電極 X、Y とアドレス電極 A とが交差するように対向配置し、周囲を封止し、隔壁 29 で囲まれた

放電空間 30 に例えば Ne ガスと Xe ガスとの混合ガスからなる放電ガスを充填することにより作製されている。この PDP では、表示電極 X、Y とアドレス電極 A との交差部の放電空間 30 が表示の最小単位である 1 つのセル領域（単位発光領域）となる。1 画素は R、G、B の 3 つのセルで構成される。

画面表示においては、1 フレームを複数のサブフィールドで構成するとともに、各サブフィールドの表示期間を、発光させるべきセルを選択する選択期間（以後、「アドレス期間」ともいう）と、選択したセルを発光させるサステイン期間とで構成する。

そして、アドレス期間には Y 電極を順次走査して発光させるべきセル内に壁電荷を蓄積し、サステイン期間には全てのセルの表示電極間にパルス状の電圧を印加して画面表示を行う。具体的には、まず、アドレス期間においては、Y 電極群をスキャン電極として用いて、順次スキャン電圧を印加してゆき、その間に所望のアドレス電極 A にアドレス電圧を印加し、選択されたアドレス電極 A と Y 電極との間でアドレス放電を発生させることで発光すべきセルを選択する。この発光セル対応の誘電体層上には壁電荷が形成されるので、次に、Y 電極群と X 電極群との間に交互にサステイン電圧を印加して、当該壁電荷の蓄積されたセルにおいて再び放電（サステイン放電または表示放電と呼称）を発生させることで、セルを発光させる。このセルの発光は、表示放電によって発生された紫外線で蛍光体を励起して、蛍光体から所望の色の可視光を発生させることにより行わ



れる。

図 2 は P D P を平面的に見た状態を示す説明図である。

本 P D P は、平面的にみた場合、隔壁 2 9 が蛇行状に形成され、三角形に配置された R, G, B の 3 つのセルで 1 つの画素  
5 を構成するデルタ配置の P D P である。R, G, B の各セルはほぼ六角形のハニカム構造となっている。

X 電極と Y 電極は等間隔に配置され、X 電極と Y 電極間、および Y 電極と X 電極間のすべての透明電極どうしで面放電が可能な構成となっている。

10 図 3 は駆動装置の配置を示す説明図である。この図は P D P を裏面から見た状態を示している。本駆動装置は、P D P の裏面に配置され、X 側駆動回路 3 1、Y 側駆動回路 3 2、アドレス側駆動回路 3 3、制御回路 3 4、および電源回路 3 5 から構成されている。

15 図 4 は駆動装置のブロック図である。X 側駆動回路 3 1 は、サステナ回路 3 1 a、リセット回路 3 1 b、スキャン電位発生回路 3 1 c から構成されている。サステナ回路 3 1 a は X 電極にサスティン電圧を印加するための回路である。リセット回路 3 1 b は全てのセルを同時に初期化するための回路である。

20 Y 側駆動回路 3 2 は、サステナ回路 3 2 a、リセット回路 3 2 b、スキャン電位発生回路 3 2 c、スキャンドライバ 3 2 d から構成されている。サステナ回路 3 2 a は Y 電極にサスティン電圧を印加するための回路である。リセット回路 3 2 b は全てのセルを同時に初期化するための回路である。スキャンドラ



イバ 3 2 d は Y 電極をスキャンするための回路である。

上記構成の内、サステナ回路 3 1 a , 3 2 a が本発明に係る回路である。他の回路については、従来公知の回路を適用する。

以下、サステナ回路 3 1 a , 3 1 b の実施形態を説明する。

- 5    サステナ回路 3 2 a とサステナ回路 3 2 b とは同じ回路であり、以下では単にサステナ回路として説明する。

#### 実施形態 1

図 5 はサステナ回路の実施形態 1 の回路原理を示す説明図である。

- 10    図において、コンデンサ C はキャパシタンス成分であり、P D P のパネル容量である。抵抗 R は配線抵抗である。インダクタ L 1 はインダクタンス成分であり、コンデンサ C とで共振回路を構成するためのものである。電圧  $V_o$  はオフセット電圧を印加するためのものであり、電圧  $V_s$  は矩形波を印加する
- 15    ためのものである。スイッチ S W 1 は電圧  $V_o$  の印加タイミングを制御するためのものであり、スイッチ S W 2 は電圧  $V_s$  の印加タイミングを制御するためのものである。

- 本実施形態では、図 3 0 で示した従来回路の構成と比較して、スイッチ S W 1 とインダクター L 1 に対して直列に、ダイオード D 1 を挿入した構成となっている。
- 20

ダイオード D 1 の挿入位置は、電圧  $V_o$  とスイッチ S W 2 の接続点 P との間であれば、スイッチ S W 1 、インダクター L 1 の前後どこでも効果は同じである。

図 6 はスイッチ S W 1 とスイッチ S W 2 のスイッチタイミン

グを示す説明図である。

図中、 $t_1$  は波形の立ち上がり開始時間を、 $t_2$  は最大電圧となる時間を、 $t_3$  は最大電圧からの立ち下がり開始時間を、 $t_4$  は電圧が  $V_s$  になる時間を、それぞれ示している。

- 5      時間  $t_1$  においてスイッチ  $SW_1$  を ON にすると、コンデンサ  $C$ 、抵抗  $R$ 、インダクター  $L_1$  による共振現象によって波形が立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達する。従来構成ではこの後、インダクター  $L_1$  を通して電圧が下降段階に入るが、本実施形態においては、ダイオード  $D_1$  の効果で電圧が
- 10   最大電圧  $V_{TOP}$  に維持される。その後、時間  $t_3$  においてスイッチ  $SW_2$  を ON にすることで電圧を下降させ、時間  $t_4$  に電圧を  $V_s$  にする。

- 本実施形態においては、スイッチ  $SW_2$  の ON タイミングの設定により、最大電圧  $V_{TOP}$  の維持時間（時間  $t_2$  から時間  $t$
- 15   3 までの間）を任意に調整することが可能である。上述したように、最大の発光効率が得られる条件は、電圧が最大の状態で放電が開始されることである。したがって、最大電圧  $V_{TOP}$  が放電の開始時間  $t_f$  まで維持されるように、スイッチ  $SW_2$  の ON のタイミングを設定することで、高効率の放電状態を安定
- 20   して形成することができる。

図 7 はスイッチ  $SW_1$  とスイッチ  $SW_2$  のスイッチタイミングの他の例を示す説明図である。

本例では、時間  $t_1$  において  $SW_1$  を ON にすると波形が立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達しようとするが、

時間  $t_2$  よりも早い時間  $t_2'$  において  $SW_1$  を OFF にする。  
従来構成ではこの後、インダクター  $L_1$  を通して電圧が下降段階に入るが、本例においては、ダイオード  $D_1$  の効果で電圧が最大電圧  $V_{TOP}$  に維持される。その後、時間  $t_3$  においてスイッチ  $SW_2$  を ON にすることで電圧を下降させ、時間  $t_4$  に電圧を  $V_s$  にする。

本例においては、先述の例と比較して、最大電圧に達するまでの時間が早く、放電のタイミングに対応して波形タイミングを調整するという目的に関し、波形タイミングの選択幅を広く  
10 することができる。例えば、放電開始タイミングが早いパネルを駆動する場合には、先述の例よりも、本例を採用するほうが発光効率を高くすることができる。

図 8 はサステナ回路の具体的な回路構成例を示す説明図である。

15 本回路は、電圧  $V_0$  に接続されたトランジスタ  $T_1$ 、インダクター  $L_{10}$ 、ダイオード  $D_{10}$  からなる電圧 0 (V) から最大電圧  $V_{TOP}$  への引上げ回路と、ダイオード  $D_{12}$ 、トランジスタ  $T_3$  からなる最大電圧  $V_{TOP}$  から電圧  $V_s$  への引下げ回路と、トランジスタ  $T_5$ 、ダイオード  $D_{14}$  からなる電圧  $V_s$  から  
20 ら電圧 0 (V) への引下げ回路と、トランジスタ  $T_2$ 、ダイオード  $D_{11}$  からなる電圧  $V_s$  への引上げ回路と、トランジスタ  $T_4$ 、ダイオード  $D_{13}$  からなる電圧 0 (V) への引上げ回路から構成されている。

電圧  $V_s$  への引上げ回路は、最大電圧  $V_{TOP}$  から電圧  $V_s$  へ

引下げる際、放電時の電圧ドロップやオーバーシュートによって電圧が  $V_s$  以下になった際に  $V_s$  へ戻す役割を持つ。また、電圧 0 (V) への引上げ回路は、電圧  $V_s$  から電圧 0 (V) へ引下げる際、オーバーシュートによって電圧が 0 (V) 以下になった際に 0 (V) へ戻す役割を持つ。

## 実施形態 2

図 9 はサステナ回路の実施形態 2 の回路原理を示す説明図である。

本実施形態では、スイッチ  $SW_1$ 、ダイオード  $D_1$  と並列して、スイッチ  $SW_3$  と、ダイオード  $D_1$  とは逆極性のダイオード  $D_2$  を接続し、それらの片側を電圧  $V_o$  に、反対側をインダクター  $L_1$  に接続した構成となっている。

図 10 はスイッチ  $SW_1$ 、 $SW_2$ 、 $SW_3$  のスイッチタイミングを示す説明図である。

時間  $t_1$  においてスイッチ  $SW_1$  を ON にすることで波形が立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達する。本実施形態においては、ダイオード  $D_1$  の効果で電圧が最大電圧  $V_{TOP}$  に維持される。その後、時間  $t_3$  においてスイッチ  $SW_3$  を ON にすることで電圧を下降させ、時間  $t_4$  にスイッチ  $SW_3$  を OFF にし、スイッチ  $SW_2$  を ON にすることで電圧を  $V_s$  にする。

本実施形態においては、発光効率や放電タイミングについては実施形態 1 と同じ効果が得られる。また、この効果に加えて、実施形態 1 では、スイッチ  $SW_2$  によって電圧を  $V_{TOP}$  より  $V$

s へ引下げる際、電力を捨てることになるが、本実施形態では、インダクターL 1 による共振現象を利用するため、無効な電力を削減することができる。

図 1 1 はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧  $V_o$  に接続されたトランジスタ T 6、インダクターL 1 1、ダイオードD 1 5 からなる電圧 0 (V) から最大電圧  $V_{TOP}$  への引上げ回路と、ダイオードD 1 6、トランジスタ T 7、インダクターL 1 1 からなる最大電圧  $V_{TOP}$  からの引下げ回路と、ダイオードD 1 8、トランジスタ T 9 からなる電圧  $V_s$  への引下げ回路と、トランジスタ T 1 1、ダイオードD 2 0 からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ T 8、ダイオードD 1 7 からなる電圧  $V_s$  への引上げ回路と、トランジスタ T 1 0、ダイオードD 1 9 からなる電圧 0 (V) への引上げ回路から構成されている。

電圧  $V_s$  への引上げ回路、および電圧 0 (V) への引上げ回路は、実施形態 1 と同じ役割を持つ。

### 実施形態 3

図 1 2 はサステナ回路の実施形態 3 の回路原理を示す説明図である。

本実施形態では、スイッチ SW 1、ダイオードD 1、インダクターL 1 と並列して、スイッチ SW 3 と、ダイオードD 1 とは逆極性のダイオードD 2 と、インダクターL 2 を接続し、それらの片側を電圧  $V_o$  に、反対側を抵抗 R、コンデンサ C に向

かう電極ラインに接続した構成となっている。

図 1 3 はスイッチ S W 1 ～ S W 3 のスイッチタイミングを示す説明図である。

時間  $t_1$  においてスイッチ S W 1 を O N にすることで波形が  
5 立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達する。本実施形態においては、ダイオード D 1 の効果で電圧が最大電圧  $V_{TOP}$  に維持される。その後、時間  $t_3$  においてスイッチ S W 3 を O N にすることで電圧を下降させ、時間  $t_4$  にスイッチ S W 3 を O F F にし、スイッチ S W 2 を O N にすることで電圧を  $V_s$  に  
10 する。

本実施形態においては、発光効率や放電タイミングについては実施形態 1 と同じ効果が得られる。また、実施形態 2 と同じく、最大電圧  $V_{TOP}$  から電圧  $V_s$  の電圧変動にインダクター L 2 による共振現象を利用するため、無効な電力を削減することが  
15 ができる。さらに、実施形態 2 と比較して、インダクターを 2 種類持つことで、波形立ち上がりの時定数と波形立下がりの時定数を任意に設定することができ、より効率の良い回路設計条件に調整することが可能となる。

また、本実施形態では、ダイオード D 1 、 D 2 の位置をイン  
20 ダクター L 1 、 L 2 よりもパネル側に配置している。この場合、実施形態 2 のように、ダイオードがインダクターよりも電源側に配置されると、時間  $t_2$  のタイミングでダイオードへの引き戻しの逆電流が微量に流れ、それがインダクターを通して大きな電圧ノイズに拡大されるという問題が発生するが、本実施形

態ではそれが改善される。

図 1 4 はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧  $V_o$  に接続されたトランジスタ  $T_{12}$ 、イン  
5 ダクター  $L_{12}$ 、ダイオード  $D_{21}$  からなる電圧 0 (V) から  
最大電圧  $V_{TOP}$  への引上げ回路と、ダイオード  $D_{22}$ 、トラン  
ジスタ  $T_{13}$ 、インダクター  $L_{13}$  からなる最大電圧  $V_{TOP}$  か  
らの引下げ回路と、ダイオード  $D_{24}$ 、トランジスタ  $T_{15}$  か  
らなる電圧  $V_s$  への引下げ回路と、トランジスタ  $T_{17}$ 、ダイ  
10 オード  $D_{26}$  からなる電圧  $V_s$  から電圧 0 (V) への引下げ回  
路と、トランジスタ  $T_{14}$ 、ダイオード  $D_{23}$  からなる電圧  $V_s$   
への引上げ回路と、トランジスタ  $T_{16}$ 、ダイオード  $D_{25}$   
からなる電圧 0 (V) への引上げ回路から構成されている。

電圧  $V_s$  への引上げ回路、および電圧 0 (V) への引上げ回  
15 路は、実施形態 1 と同じ役割を持つ。

#### 実施形態 4

図 1 5 はサステナ回路の実施形態 4 の回路原理を示す説明図である。

本実施形態では、スイッチ  $SW_1$ 、ダイオード  $D_1$ 、インダ  
20 クター  $L_1$  と並列して、スイッチ  $SW_3$  と、ダイオード  $D_1$  と  
は逆極性のダイオード  $D_2$  と、インダクター  $L_2$  を接続し、そ  
れらの片側を電圧  $V_o$  に、反対側を抵抗  $R$ 、コンデンサ  $C$  に向  
かう電極ラインに接続する。また、直列接続された 2 個のコン  
デンサ  $C_1$ 、 $C_2$  が電圧  $V_o$  と並列して接続されており、コン



デンサ C 1、C 2 の中間点と抵抗 R、コンデンサ C に向かう電極ラインが、スイッチ S W 4、インダクター L 4、ダイオード D 4 によって接続されている。

また、抵抗 R、コンデンサ C に向かう電極ラインとグラウンド  
5 ラインの間にスイッチ S W 5 が設けられている。

図 1 6 はスイッチ S W 1 ～ S W 5 のスイッチタイミングを示す説明図である。

時間  $t_1$  の直前にスイッチ S W 5 を OFF にし、時間  $t_1$  においてスイッチ S W 1 を ON にすることで波形が立ち上がり、  
10 時間  $t_2$  に最大電圧  $V_{TOP}$  に到達する。その後、時間  $t_3$  においてスイッチ S W 3 を ON にすることで電圧を下降させ、時間  $t_4$  にスイッチ S W 3 を OFF にし、スイッチ S W 2 を ON にすることで電圧を  $V_s$  に維持する。また、その後、時間  $t_5$  においてスイッチ S W 2 を OFF にし、スイッチ S W 4 を ON に  
15 することで電圧を下降させ、時間  $t_6$  に S W 4 を OFF にし、スイッチ S W 5 を ON することで電圧を 0 (V) にする。

本実施形態においては、発光効率や放電タイミングについては実施形態 1 と同じ効果が得られる。また、実施形態 2 と同じく、最大電圧  $V_{TOP}$  から電圧  $V_s$  の電圧変動にインダクター L  
20 2 による共振現象を利用するため、無効な電力を削減することができる。さらに、電圧  $V_s$  から電圧 0 (V) の電圧降下にインダクター L 4 による共振現象を利用するため、無効電力をさらに削減する効果がある。

図 1 7 はサステナ回路の具体的な回路構成例を示す説明図で

ある。

本回路は、電圧  $V_o$  に接続されたトランジスタ  $T_{18}$ 、イン  
ダクター  $L_{14}$ 、ダイオード  $D_{27}$  からなる電圧 0 (V) から  
最大電圧  $V_{TOP}$  への引上げ回路と、ダイオード  $D_{28}$ 、トラン  
5 ジスタ  $T_{19}$ 、インダクター  $L_{15}$  からなる最大電圧  $V_{TOP}$  か  
らの引下げ回路と、ダイオード  $D_{30}$ 、トランジスタ  $T_{21}$  か  
らなる電圧  $V_s$  への引下げ回路と、電圧 0 (V) と電圧  $V_o$  に  
並列に接続された 2 個のコンデンサ  $C_{10}$ 、 $C_{11}$  の中間点に  
接続されたトランジスタ  $T_{22}$ 、インダクター  $L_{16}$ 、ダイオ  
ード  $D_{31}$  からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路  
10 と、トランジスタ  $T_{24}$ 、ダイオード  $D_{33}$  からなる電圧  $V_s$   
から電圧 0 (V) への引下げ回路と、トランジスタ  $T_{20}$ 、ダ  
イオード  $D_{29}$  からなる電圧  $V_s$  への引上げ回路と、トランジ  
スタ  $T_{23}$ 、ダイオード  $D_{32}$  からなる電圧 0 (V) への引上  
15 げ回路から構成されている。

電圧  $V_s$  への引上げ回路、および電圧 0 (V) への引上げ回  
路は、実施形態 1 と同じ役割を持つ。

#### 実施形態 5

図 18 はサステナ回路の実施形態 5 の回路原理を示す説明図  
20 である。

本実施形態では、スイッチ  $SW_1$ 、ダイオード  $D_1$ 、インダ  
クター  $L_1$  と並列して、スイッチ  $SW_3$  と、ダイオード  $D_1$  と  
は逆極性のダイオード  $D_2$  と、インダクター  $L_2$  が直列接続さ  
れた回路に対してスイッチ  $SW_2$  を接続し、それらの片側を電

圧  $V_o$  ( $= V_s$ ) に、反対側を抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラインに接続する。また、直列接続された 2 個のコンデンサ  $C_1$ 、 $C_2$  が電圧  $V_o$  と並列して接続されており、コンデンサ  $C_1$ 、 $C_2$  の中間点と抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラインが、スイッチ  $SW_4$ 、インダクター  $L_4$ 、ダイオード  $D_4$  によって接続されている。また、抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラインとグラウンドラインの間にスイッチ  $SW_5$  が設けられている。

図 19 はスイッチ  $SW_1 \sim SW_5$  のスイッチタイミングを示す説明図である。

時間  $t_1$  の直前にスイッチ  $SW_5$  を OFF にし、時間  $t_1$  においてスイッチ  $SW_1$  を ON にすることで波形が立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達する。その後、時間  $t_3$  においてスイッチ  $SW_3$  を ON にすることで電圧を下降させ、時間  $t_4$  にスイッチ  $SW_3$  を OFF にし、スイッチ  $SW_6$  を ON にすることで電圧を  $V_o$  ( $= V_s$ ) に維持する。その後、時間  $t_5$  においてスイッチ  $SW_6$  を OFF にし、スイッチ  $SW_4$  を ON にすることで電圧を下降させ、時間  $t_6$  にスイッチ  $SW_4$  を OFF にし、スイッチ  $SW_5$  を ON にすることで電圧を 0 ( $V$ ) にする。

本実施形態においては、発光効率や放電タイミングについては実施形態 1 と同じ効果が得られる。また、実施形態 2 と同じく、最大電圧  $V_{TOP}$  から電圧  $V_s$  の電圧変動にインダクター  $L_2$  による共振現象を利用するため、無効な電力を削減すること

ができる。また、電圧  $V_s$  から電圧 0 (V) の電圧降下にインダクター  $L_4$  による共振現象を利用するため、無効電力をさらに削減する効果がある。しかも、電圧  $V_s$  と電圧  $V_o$  を同じ電圧にして、同一の電源でまかなうので、実施形態 4 と比較して、

5 回路を簡略化できる。

図 20 はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧  $V_s$  に接続されたトランジスタ  $T_{27}$ 、インダクター  $L_{17}$ 、ダイオード  $D_{36}$  からなる電圧 0 (V) から

10 最大電圧  $V_{TOP}$  への引上げ回路と、ダイオード  $D_{37}$ 、トランジスタ  $T_{28}$ 、インダクター  $L_{18}$  からなる最大電圧  $V_{TOP}$  からの引下げ回路と、ダイオード  $D_{35}$ 、トランジスタ  $T_{26}$  からなる電圧  $V_s$  への引下げ回路と、電圧 0 (V) と電圧  $V_s$  に

15 並列に接続された 2 個のコンデンサ  $C_{12}$ 、 $C_{13}$  の中間点に接続されたトランジスタ  $T_{29}$ 、インダクター  $L_{19}$ 、ダイオード  $D_{38}$  からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ  $T_{31}$ 、ダイオード  $D_{40}$  からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ  $T_{25}$ 、ダイオード  $D_{34}$  からなる電圧  $V_s$  への引上げ回路と、トランジ

20 スタ  $T_{30}$ 、ダイオード  $D_{39}$  からなる電圧 0 (V) への引上げ回路から構成されている。

電圧  $V_s$  への引上げ回路、および電圧 0 (V) への引上げ回路は、実施形態 1 と同じ役割を持つ。

実施形態 6

図 2 1 はサステナ回路の実施形態 6 の回路原理を示す説明図である。

本実施形態では、スイッチ  $SW1$ 、ダイオード  $D1$ 、インダクター  $L1$  と並列して、ツェナーダイオード  $ZD1$  を接続し、  
5 それらの片側を電圧  $V_o$  に、反対側を抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラインに接続する。また、抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラインとグラウンドラインの間にスイッチ  $SW2$  と電圧  $V_s$  が設けられている。

図 2 2 はスイッチ  $SW1$ 、 $SW2$  のスイッチタイミングを示す説明図である。

時間  $t_1$  においてスイッチ  $SW1$  を  $ON$  にすることで波形が立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達しようとする。  
しかし、時間  $t_2$  よりも早い時間  $t_2'$  において、ツェナーダイオード  $ZD1$  のブレークダウン電圧  $V_{ZD}$  を超えると、それ  
15 以上電圧が上がらず、一定電圧に維持される。その後、スイッチ  $SW1$  を  $OFF$  にし、スイッチ  $SW2$  を  $ON$  にすることで電圧を  $V_s$  に低下させる。

本実施形態においては、実施形態 1 と比較して、最高電圧に達するまでの時間が早く、放電のタイミングに対応して波形タイ  
20 ミングを調整するという目的に関し、波形タイミングの選択幅を広くすることができる。また、実施形態 1 のスイッチタイミングの変形例では、スイッチのタイミングで到達電圧が変化するため、到達電圧の調整が困難であるが、本実施形態では、ツェナーダイオードの選択によって到達電圧を任意に設計する

ことができる。

図 2 3 はサステナ回路の具体的な回路構成例を示す説明図である。

本回路は、電圧  $V_s$  に接続されたトランジスタ  $T_{34}$ 、イン  
5 ダクター  $L_{20}$ 、ダイオード  $D_{43}$  からなる電圧 0 (V) から  
最大電圧  $V_{TOP}$  への引上げ回路と、ダイオード  $D_{44}$ 、トラン  
ジスタ  $T_{35}$ 、インダクター  $L_{21}$  からなる最大電圧  $V_{TOP}$  か  
らの引下げ回路と、ダイオード  $D_{42}$ 、トランジスタ  $T_{33}$  か  
らなる電圧  $V_s$  への引下げ回路と、電圧 0 (V) と電圧  $V_s$  に  
10 並列に接続された 2 個のコンデンサ  $C_{14}$ 、 $C_{15}$  の中間点に  
接続されたトランジスタ  $T_{36}$ 、インダクター  $L_{22}$ 、ダイオ  
ード  $D_{38}$  からなる電圧  $V_s$  から電圧 0 (V) への引下げ回路  
と、トランジスタ  $T_{38}$ 、ダイオード  $D_{46}$  からなる電圧  $V_s$   
から電圧 0 (V) への引下げ回路と、トランジスタ  $T_{32}$ 、ダ  
イオード  $D_{41}$  からなる電圧  $V_s$  への引上げ回路と、トランジ  
15 スタ  $T_{37}$ 、ダイオード  $D_{45}$  からなる電圧 0 (V) への引上  
げ回路と、電圧  $V_s$  と出力の間に接続されたツェナーダイオ  
ード  $ZD_{10}$  から構成されている。

電圧  $V_s$  への引上げ回路、および電圧 0 (V) への引上げ回  
20 路は、実施形態 1 と同じ役割を持つ。

#### 実施形態 7

図 2 4 はサステナ回路の実施形態 7 の回路原理を示す説明図である。

本発実施形態では、スイッチ  $SW_1$ 、ダイオード  $D_1$ 、イン

ダクター  $L_1$  が直列に接続され、それらの片側を電圧  $V_o$  に、  
反対側を抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラインに接続して  
いる。また、抵抗  $R$ 、コンデンサ  $C$  に向かう電極ラインとグラ  
ンドラインの間にスイッチ  $SW_7$  と電圧  $V_{TOP}$  が直列接続され  
5 た回路と、スイッチ  $SW_2$  と電圧  $V_s$  が直列接続された回路を  
設けた構成となっている。

図 25 はスイッチ  $SW_1$ 、 $SW_2$ 、 $SW_7$  のスイッチタイミ  
ングを示す説明図である。

時間  $t_1$  においてスイッチ  $SW_1$  を ON にすることで波形が  
10 立ち上がり、時間  $t_2$  に最大電圧  $V_{TOP}$  に到達しようとする。  
しかし、時間  $t_2$  よりも早い時間  $t_1'$  においてスイッチ  $SW_7$   
を ON にすると、時間  $t_2$  よりも早い時間  $t_2'$  において電  
圧は  $V_{TOP}$  に達する。その後、スイッチ  $SW_1$  を OFF にし、  
スイッチ  $SW_7$  を OFF にして、スイッチ  $SW_2$  を ON にする  
15 ことで電圧を  $V_s$  に低下させる。

本実施形態においては、実施形態 1 と比較して、最高電圧に  
達するまでの時間が早く、放電のタイミングに対応して波形タ  
イミングを調整するという目的に関し、波形タイミングの選択  
幅を広くすることができる。また、実施形態 6 では、市販され  
20 ているツェナーダイオードの種類が少なく、ブレイクダウン電  
圧の選択肢が制限されるが、本実施形態では任意の電圧に設計  
することができる。

図 26 はサステナ回路の具体的な回路構成例を示す説明図で  
ある。



本回路は、電圧  $V_s$  に接続されたトランジスタ  $T_{41}$ 、イン  
ダクター  $L_{23}$ 、ダイオード  $D_{49}$  からなる電圧 0 (V) から  
最大電圧  $V_{TOP}$  への引上げ回路と、トランジスタ  $T_{43}$ 、ダイ  
オード  $D_{52}$  からなる電圧 0 (V) から最大電圧  $V_{TOP}$  への引  
5 上げ回路と、ダイオード  $D_{50}$ 、トランジスタ  $T_{42}$ 、インダ  
クター  $L_{24}$  からなる最大電圧  $V_{TOP}$  からの引下げ回路と、ダ  
イオード  $D_{48}$ 、トランジスタ  $T_{40}$  からなる電圧  $V_s$  への引  
下げ回路と、電圧 0 (V) と電圧  $V_s$  に並列に接続された 2 個  
のコンデンサ  $C_{16}$ 、 $C_{17}$  の中間点に接続されたトランジス  
10 タ  $T_{45}$ 、インダクター  $L_{25}$ 、ダイオード  $D_{51}$  からなる電  
圧  $V_s$  から電圧 0 (V) への引下げ回路と、トランジスタ  $T_{47}$ 、  
ダイオード  $D_{55}$  からなる電圧  $V_s$  から電圧 0 (V) への  
引下げ回路と、トランジスタ  $T_{39}$ 、ダイオード  $D_{47}$  からな  
る電圧  $V_s$  への引上げ回路と、トランジスタ  $T_{46}$ 、ダイオー  
15 ド  $D_{54}$  からなる電圧 0 (V) への引上げ回路と、トランジス  
タ  $T_{44}$ 、ダイオード  $D_{53}$  からなる最大電圧  $V_{TOP}$  への引下  
げ回路からなる。

電圧  $V_s$  への引上げ回路、および電圧 0 (V) への引上げ回  
路は、実施形態 1 と同じ役割を持つ。また、最大電圧  $V_{TOP}$  へ  
20 の引下げ回路は、電圧 0 (V) から最大電圧  $V_{TOP}$  へ引上げる  
際、オーバーシュートによって電圧が  $V_{TOP}$  以上になった際に  
 $V_{TOP}$  へ戻す役割を持つ。

上記実施形態 1 ～ 7 において、印加される電圧の例としては  
例えば、 $V_s = 180$  (V)、 $V_o = 200$  (V)、 $V_{TOP} =$

400 (V) が挙げられる。

以上述べた本発明の駆動回路を用いることにより、最大電圧の維持時間を任意に調整することが可能となり、これにより、電圧が最大の状態で放電が開始されるようにすることができる  
5    ので、高効率の放電状態を安定して形成することができる。

## 請 求 の 範 囲

1. 多数のセルを有し、各セルには一対の表示電極が設けられ、  
それらの表示電極が誘電体層によって被覆されたプラズマディ  
5 スプレイパネルの駆動回路であって、

駆動回路が、発光させるべきセルを選択するスキャン回路と、  
選択したセルの表示電極間にサステイン電圧を印加して、輝度  
に応じた回数だけ表示電極間でサステイン放電を発生させるサ  
ステイン電圧印加回路を有し、

- 10 サステイン電圧印加回路が、所定波形のサステインパルス  
を発生させるサステインパルス発生回路と、サステインパルスよ  
りも波高値の高いオフセットパルスを発生させるオフセットパ  
ルス発生回路とを並列に接続した回路からなり、

- オフセットパルス発生回路が、オフセット電圧印加用の第 1  
15 電圧源と、第 1 電圧を表示電極間に印加する第 1 スイッチング  
回路と、オフセット電圧印加用の共振電圧を発生させるインダ  
クタンス成分と、表示電極に流す電流を順方向に規制して共振  
電圧の電位をサステイン電圧よりも高いレベルに一定時間保持  
する順方向ダイオードから構成され、

- 20 サステインパルス発生回路が、サステイン電圧印加用の第 2  
電圧源と、第 2 電圧を表示電極間に印加する第 2 スイッチング  
回路から構成されてなるプラズマディスプレイパネルの駆動回  
路。

2. 共振電圧の電位がサステイン電圧のレベルよりも高くかつ共振電圧の最高値よりも低い任意のレベルに達したタイミングで第1スイッチング回路がオフにされ、その所定時間後に第2スイッチング回路がオンにされる請求項1記載のプラズマディスプレイパネルの駆動回路。

3. オフセットパルス発生回路が、第1スイッチング回路と順方向ダイオードからなる直列回路に並列に接続され、表示電極に流す電流を逆方向に導通させて共振電圧の電位をサステイン電圧のレベルまで引下げる逆方向ダイオードと、逆方向ダイオードに電流を導く第3スイッチング回路をさらに備えてなる請求項1記載のプラズマディスプレイパネルの駆動回路。

4. オフセットパルス発生回路が、第1スイッチング回路とインダクターと順方向ダイオードからなる直列回路に並列に接続され、表示電極に流す電流を逆方向に導通させて共振電圧の電位をサステイン電圧のレベルまで引下げる逆方向ダイオードと、共振電圧の電位の引下げを共振により行う減衰用インダクタンス成分と、逆方向ダイオードと減衰用インダクターに電流を導く第3スイッチング回路をさらに備えてなる請求項1記載のプラズマディスプレイパネルの駆動回路。

5. 第2電圧源と第2スイッチング回路からなる直列回路に並列に接続され、表示電極に印加する電圧の電位をゼロレベルに

保持する短絡用の第 5 スイッチング回路をさらに備え、

オフセットパルス発生回路が、第 1 電圧源に並列に接続された 2 つの直列接続コンデンサと、2 つの直列接続コンデンサの中間点と表示電極とを接続する直列回路をさらに備え、

- 5      その直列回路が、表示電極に流す電流を逆方向に導通させてサスティン電圧の電位をゼロレベルまで引下げるゼロレベル用逆方向ダイオードと、サスティン電圧の電位の引下げを共振により行うゼロレベル減衰用インダクタンス成分と、ゼロレベル用逆方向ダイオードとゼロレベル減衰用インダクタンス成分に
- 10    電流を導く第 4 スイッチング回路からなり、

2 つの直列接続コンデンサの中間点の電位が第 2 電圧と第 1 電圧の中間の電位と略等しくなるように、2 つの直列接続コンデンサの容量がそれぞれ設定されてなる請求項 4 記載のプラズマディスプレイパネルの駆動回路。

15

6. 第 1 電圧源と第 2 電圧源を共通にしてなる請求項 5 記載のプラズマディスプレイパネルの駆動回路。

7. オフセットパルス発生回路が、第 1 スイッチング回路とインダクターと順方向ダイオードからなる直列回路に並列に接続され、共振電圧の電位がサスティン電圧のレベルよりも高くかつ共振電圧の最高値よりも低い一定のレベルに達したときに共振電圧の電位をその一定のレベルに保持するツェナーダイオードをさらに備えてなる請求項 1 記載のプラズマディスプレイパ
- 20

ネルの駆動回路。

8. オフセットパルス発生回路が、第1電圧源と第1スイッチング回路とインダクターと順方向ダイオードからなる直列回路  
5 に並列に接続され、共振電圧の最高値よりも高い出力電位を有する第3電圧源と、第3電圧を表示電極間に印加する第3スイッチング回路とをさらに備え、

- 共振電圧の電位がサステイン電圧のレベルよりも高くかつ共振電圧の最高値かそれよりも低い任意のレベルに達したタイミングで、第1スイッチング回路がオフにされるとともに第3スイッチング回路がオンにされ、その所定時間後に、第3スイッチング回路がオフにされるとともに第2スイッチング回路がオンにされる請求項1記載のプラズマディスプレイパネルの駆動回路。

15

図1

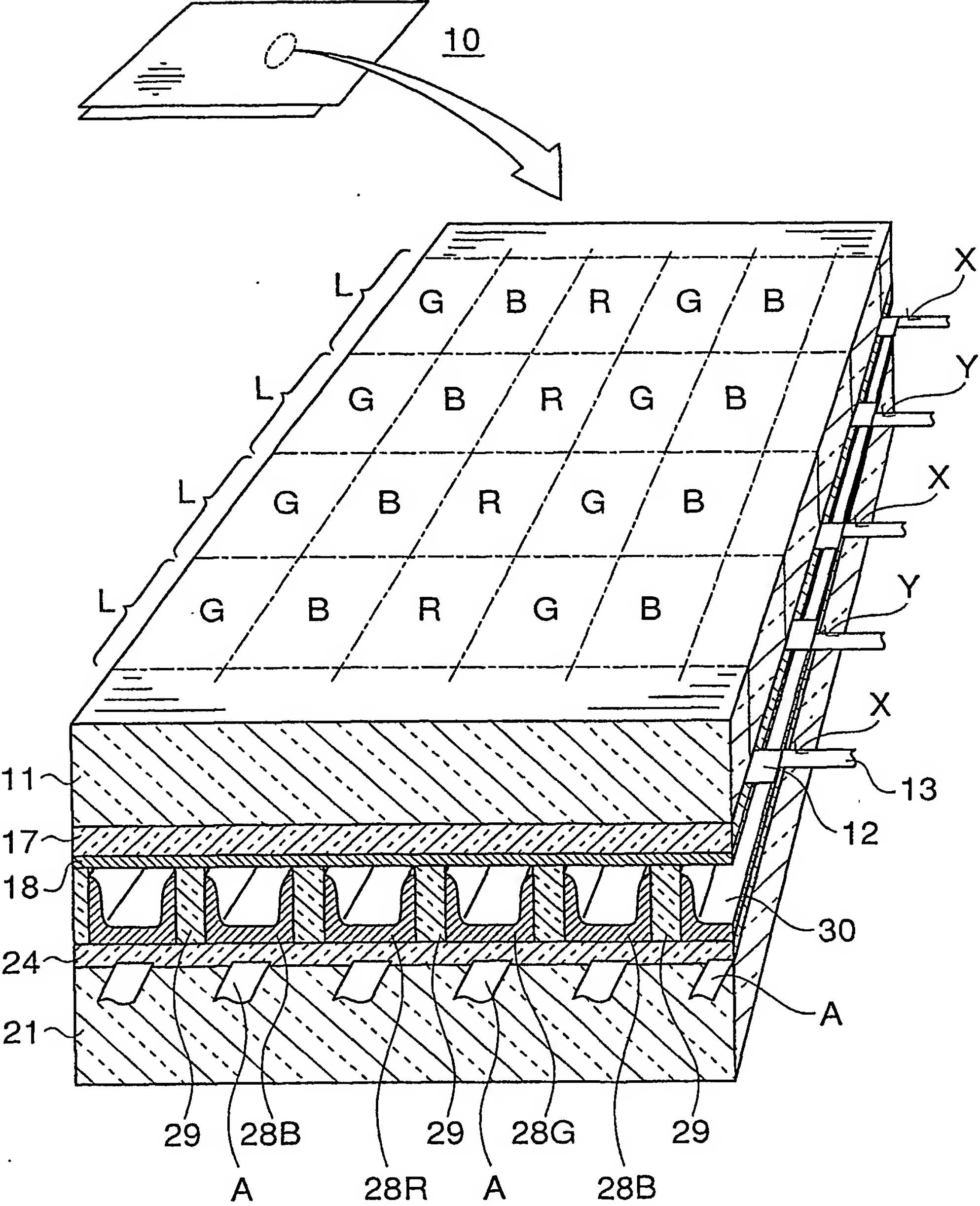




図2

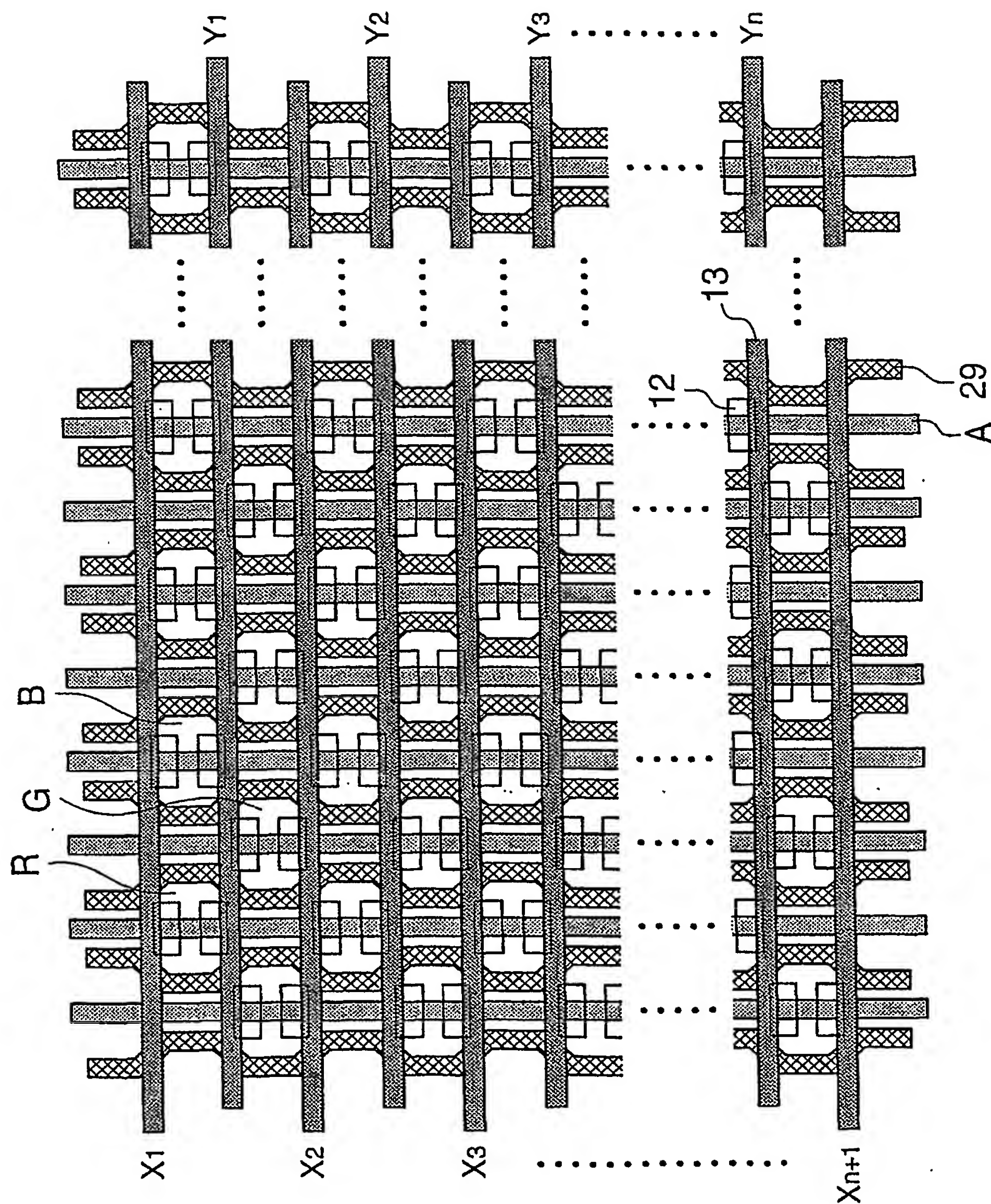


図3

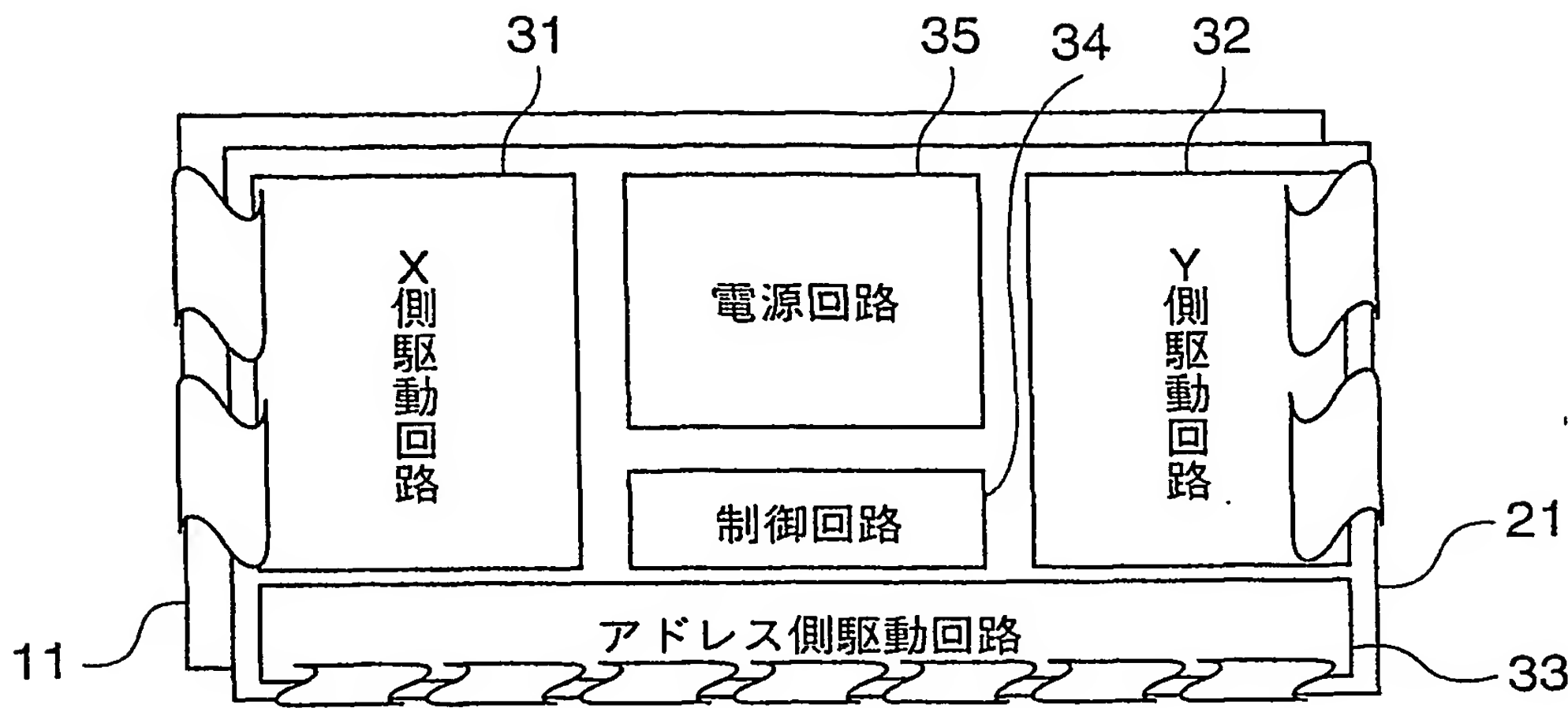


図4

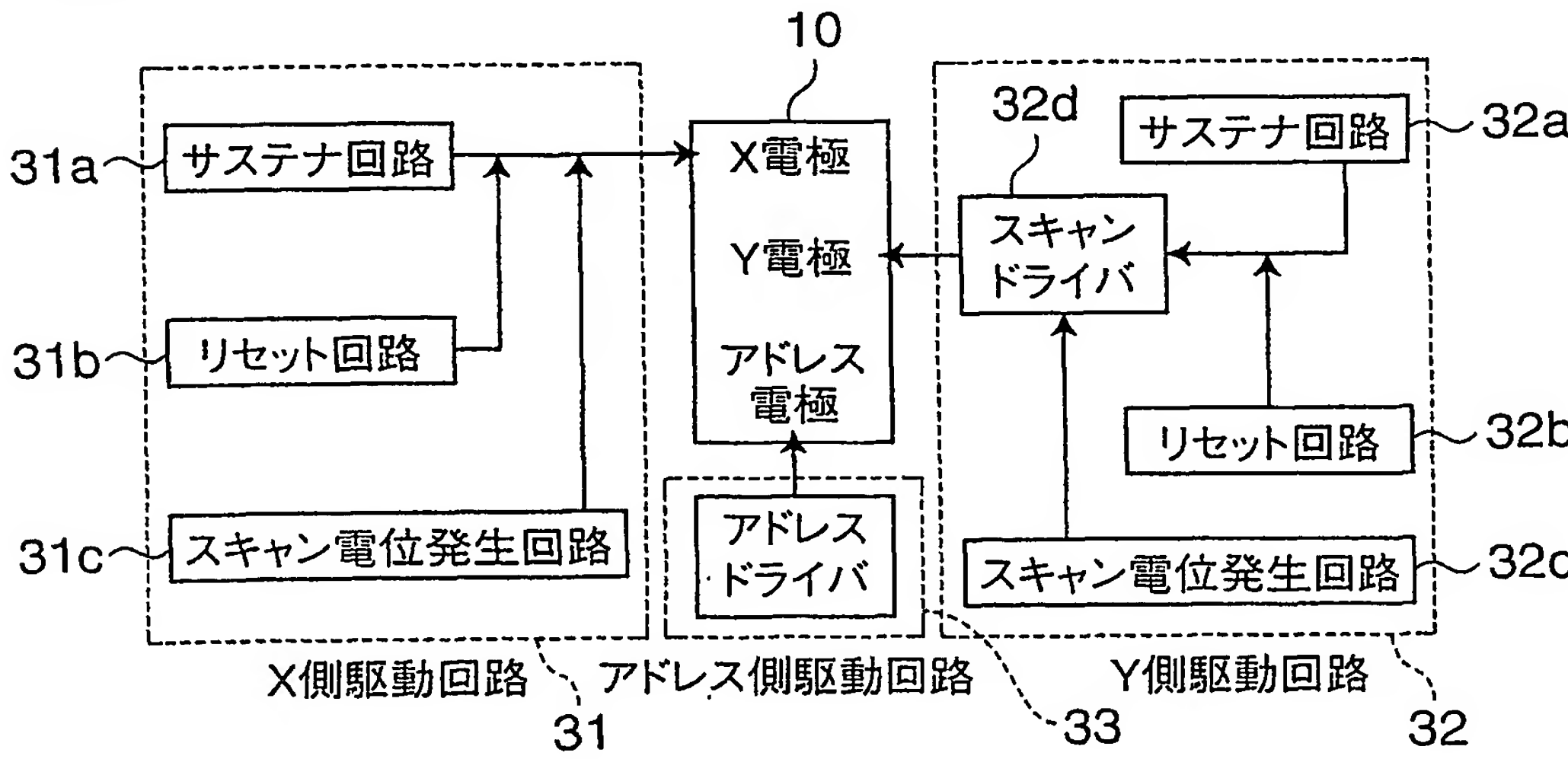


図 5

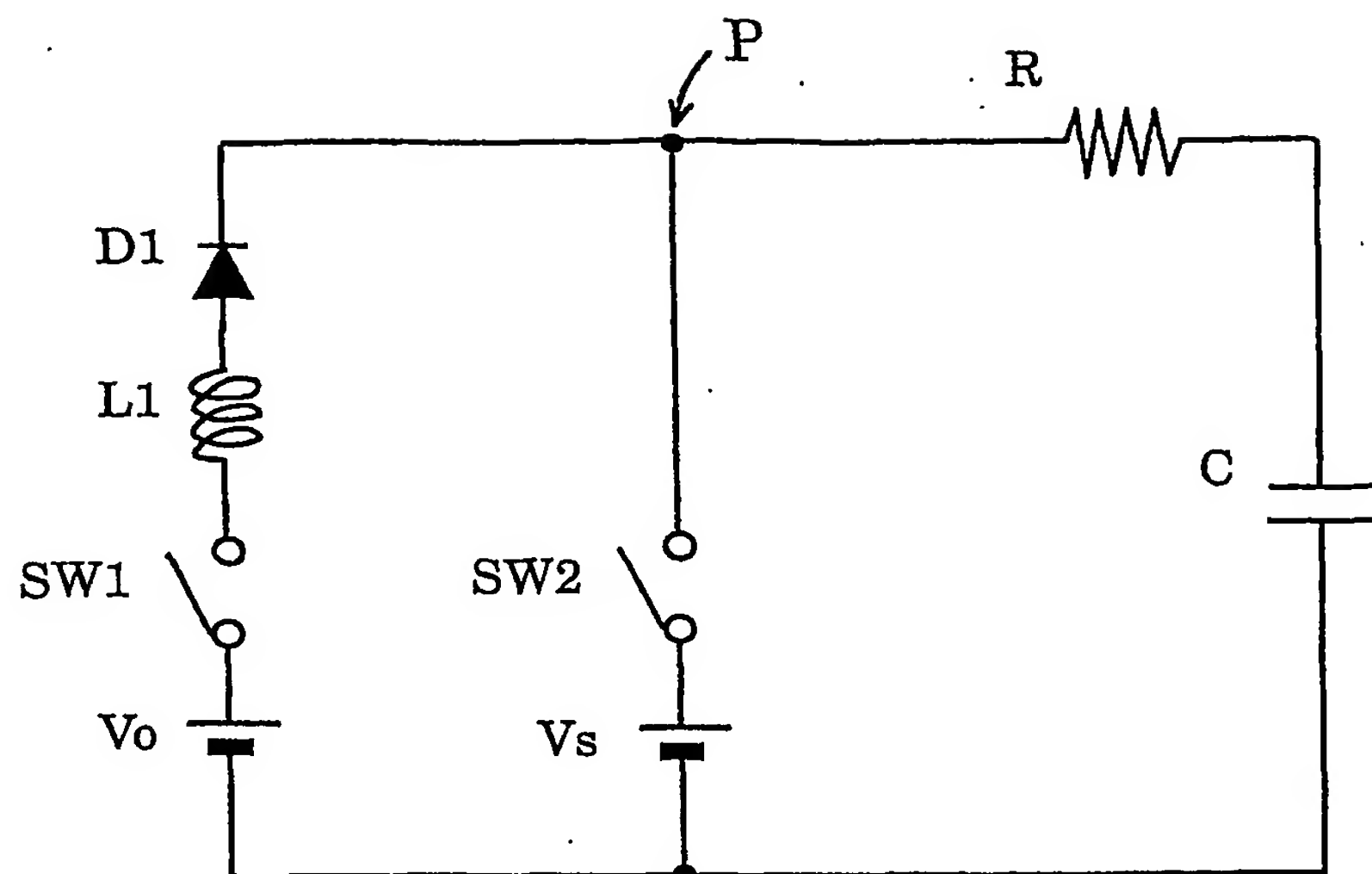


図 6

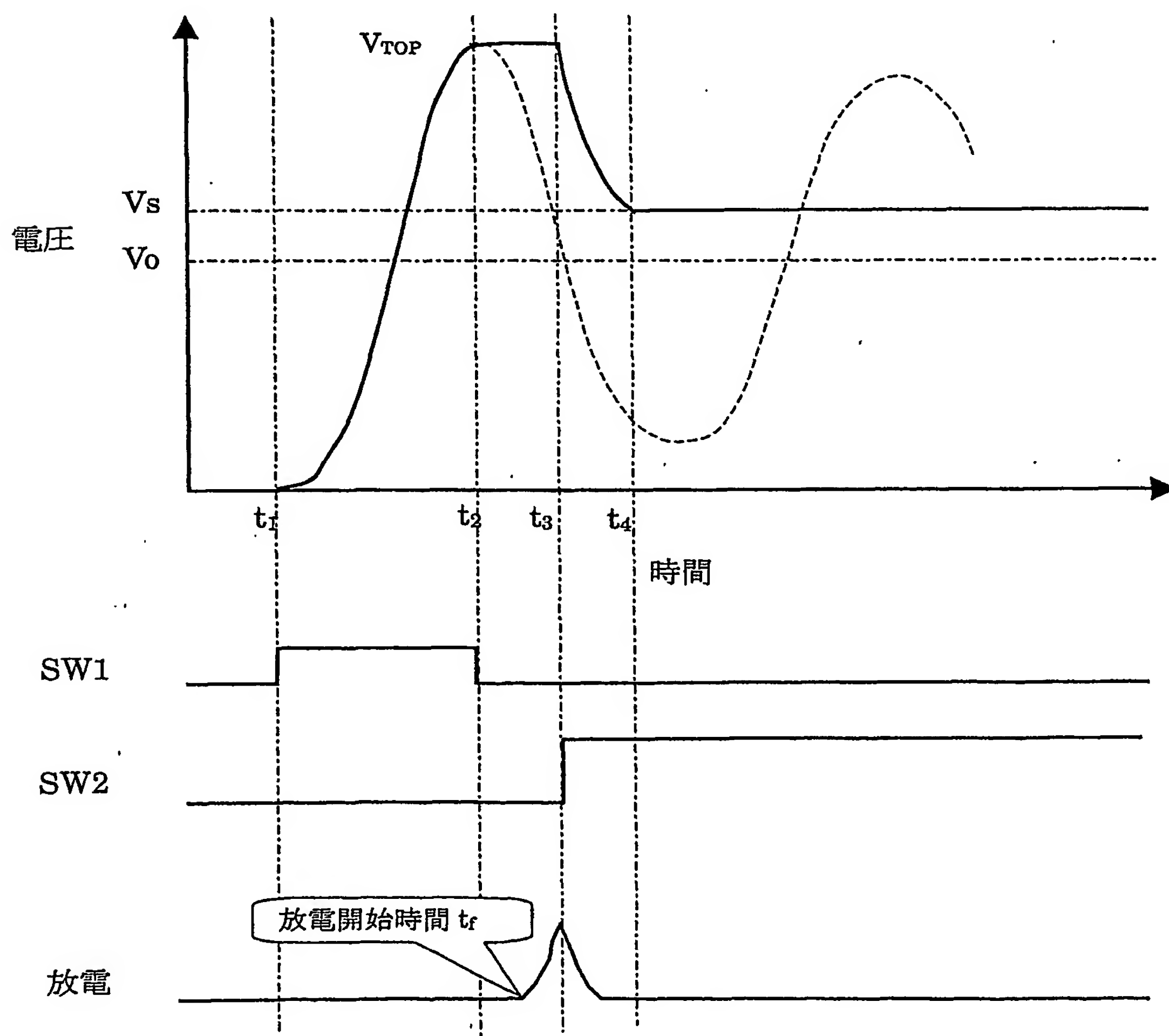


図 7

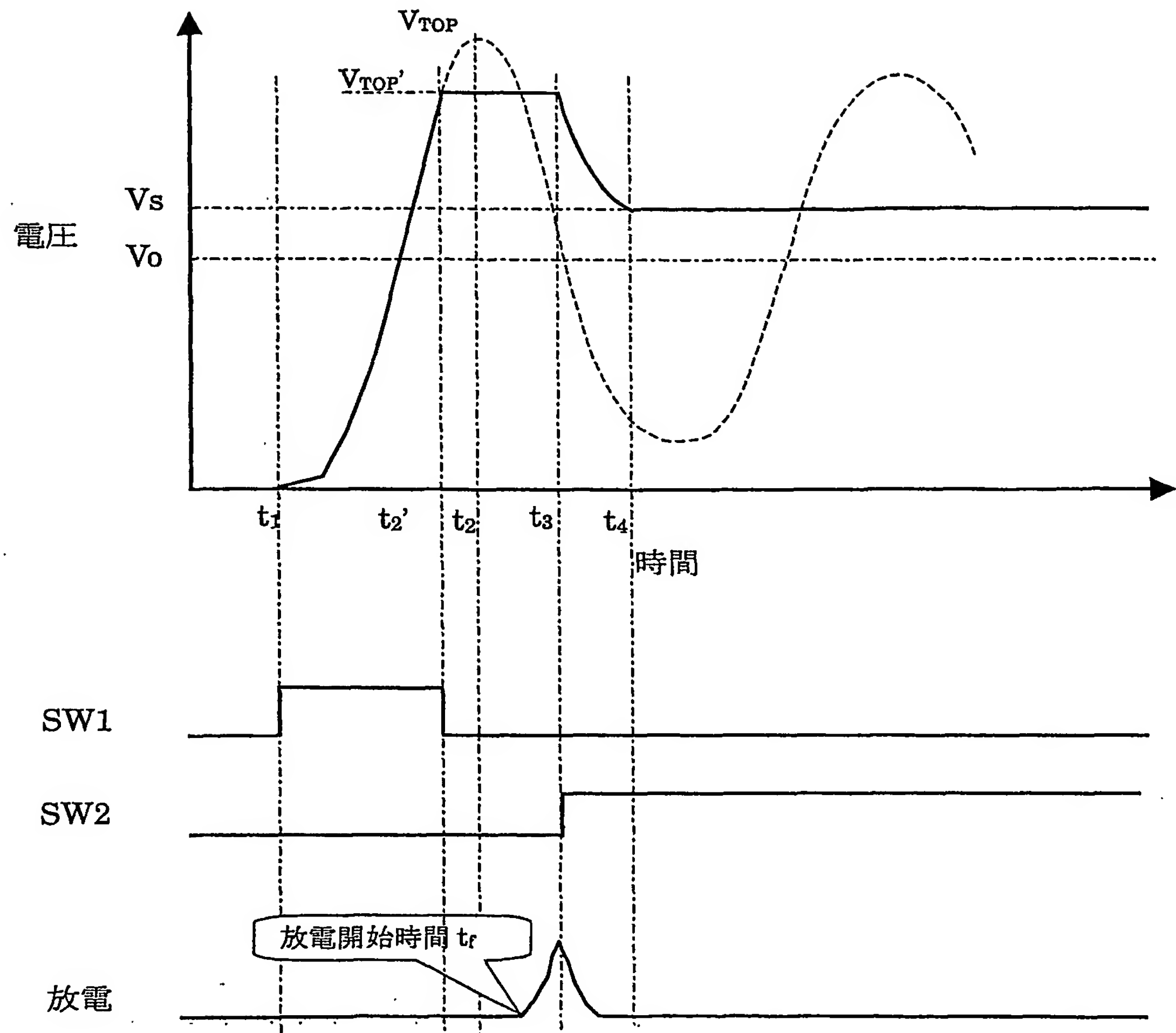


図 8

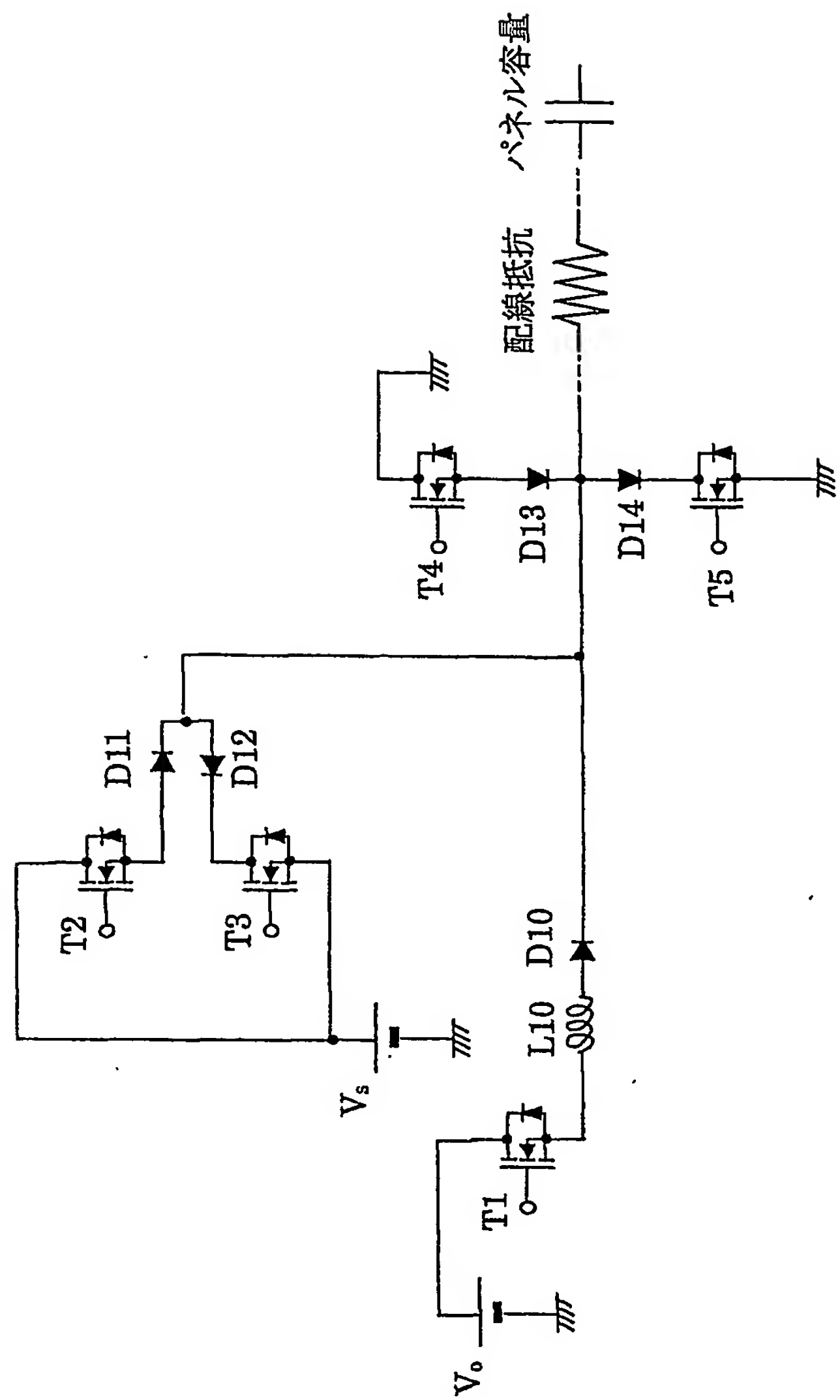


図 9

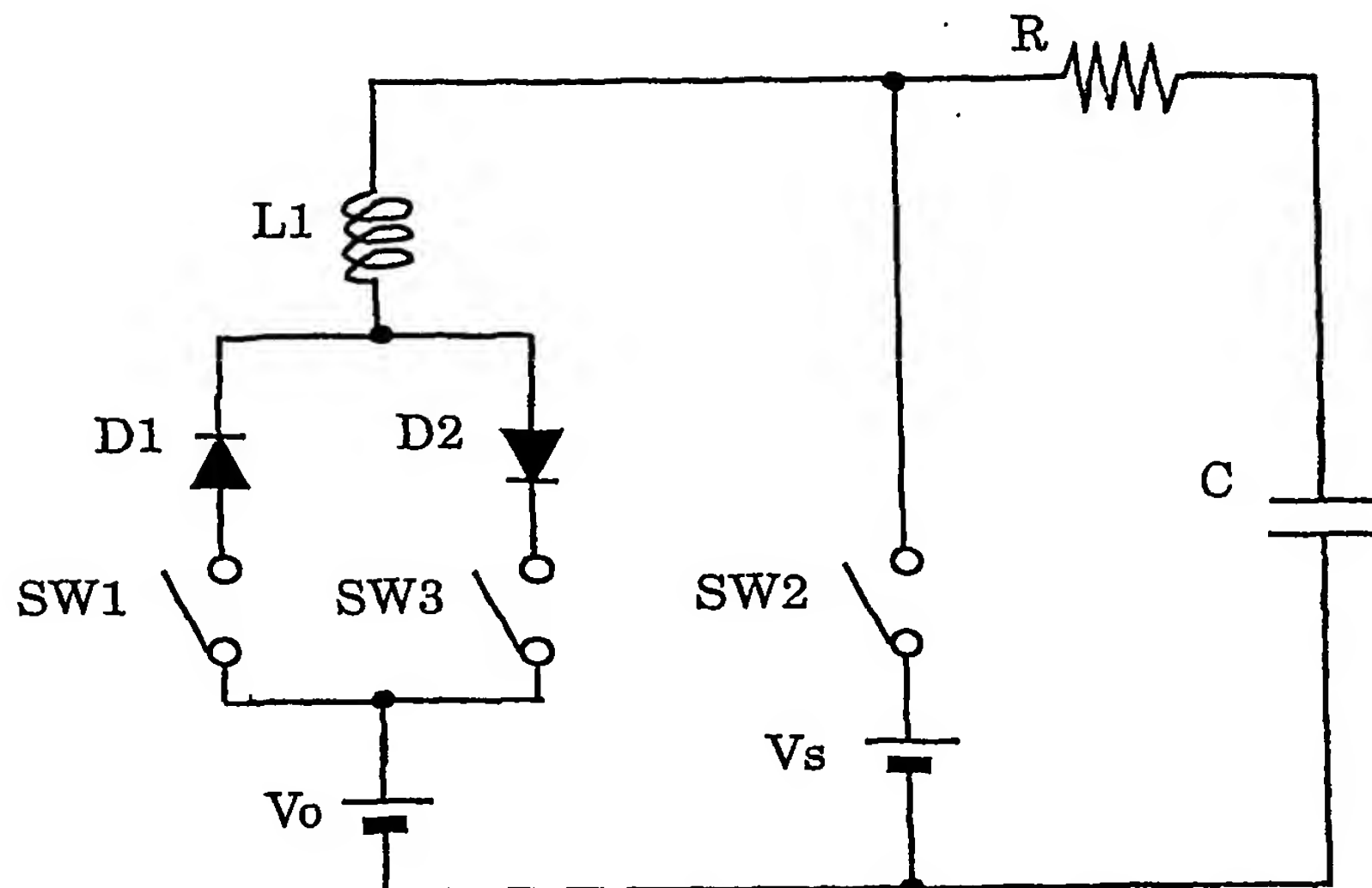


図 10

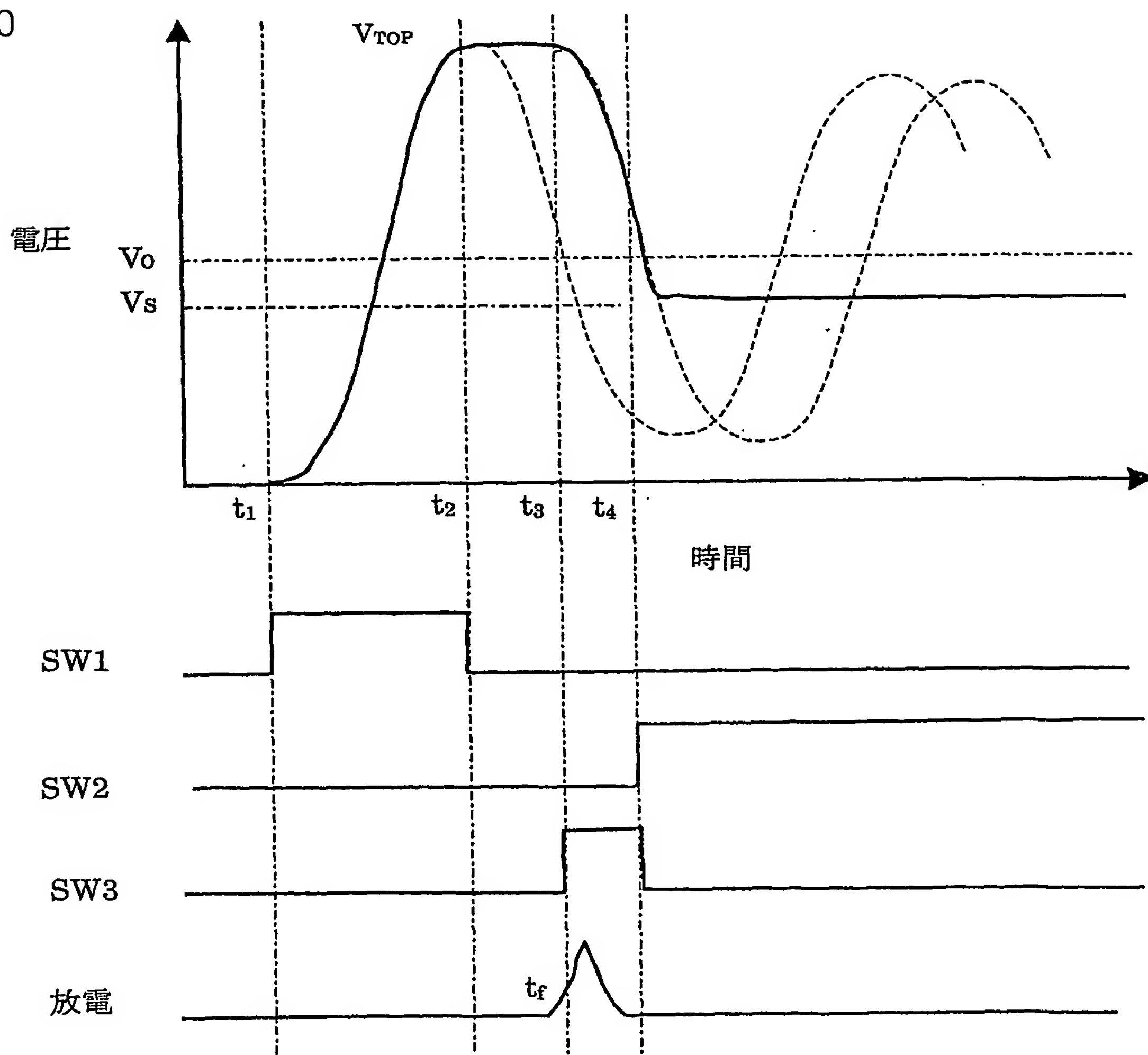


図 11

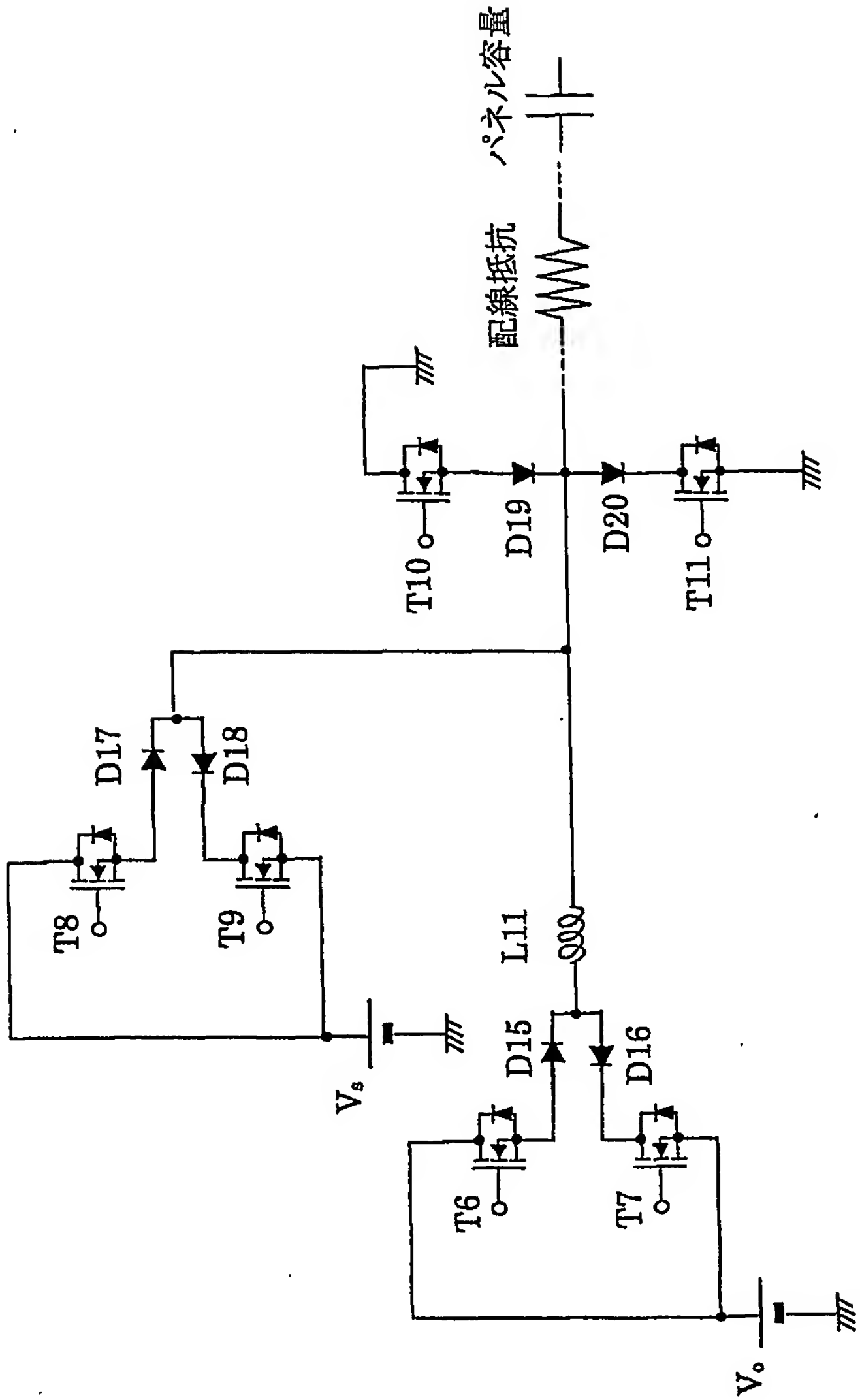




図 1 2

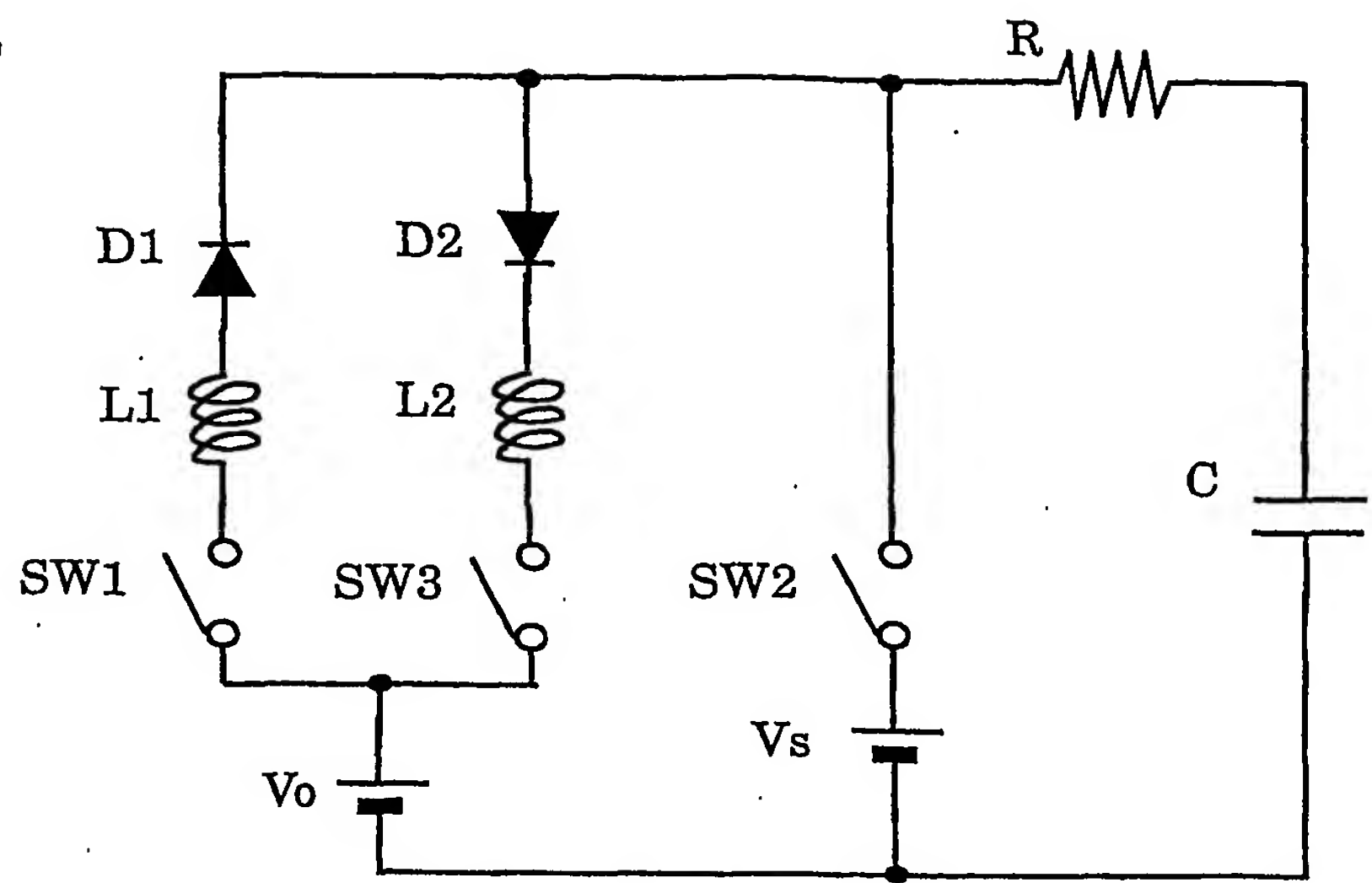


図 1 3

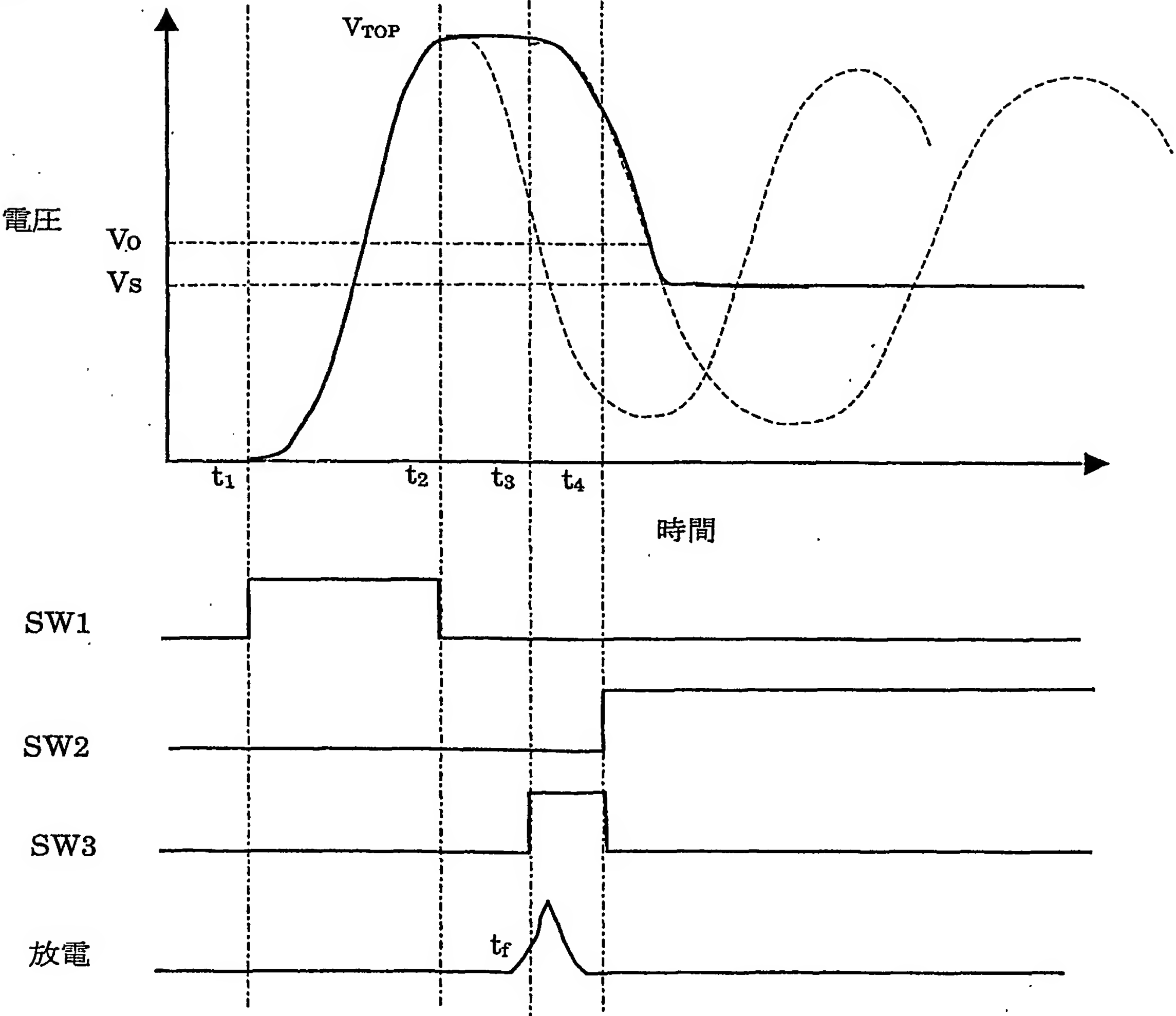


図 14

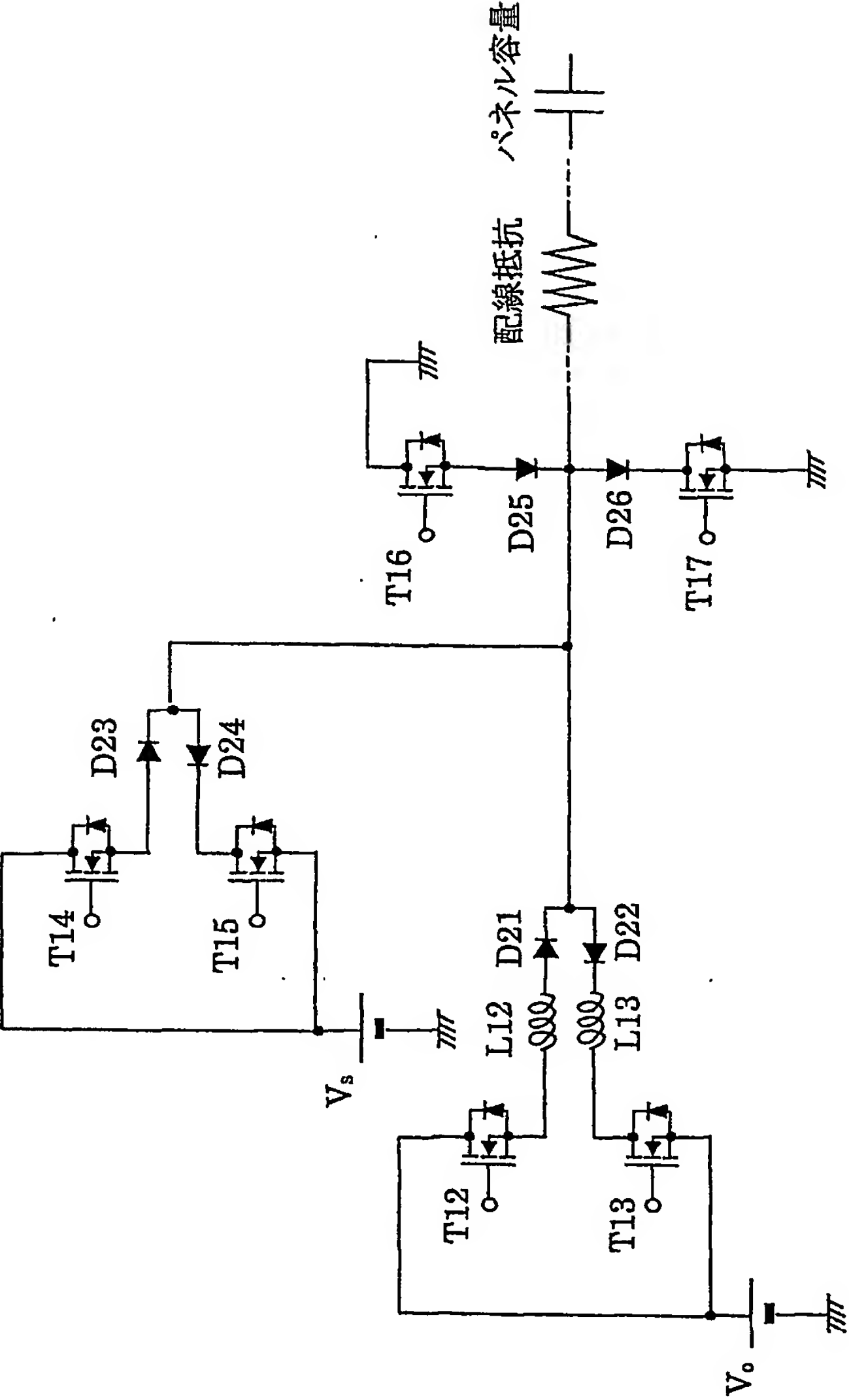


図 1 5

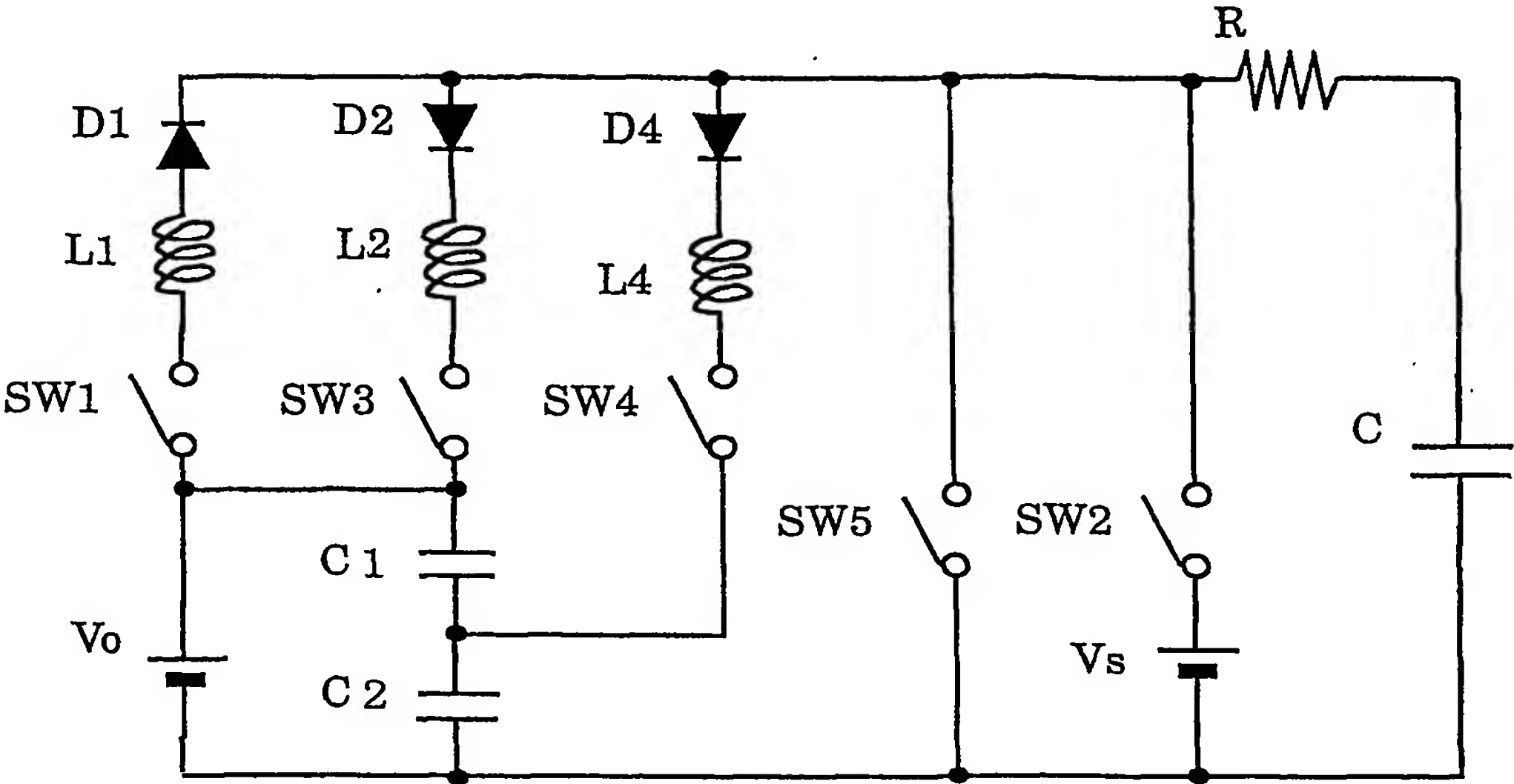


図 1 6

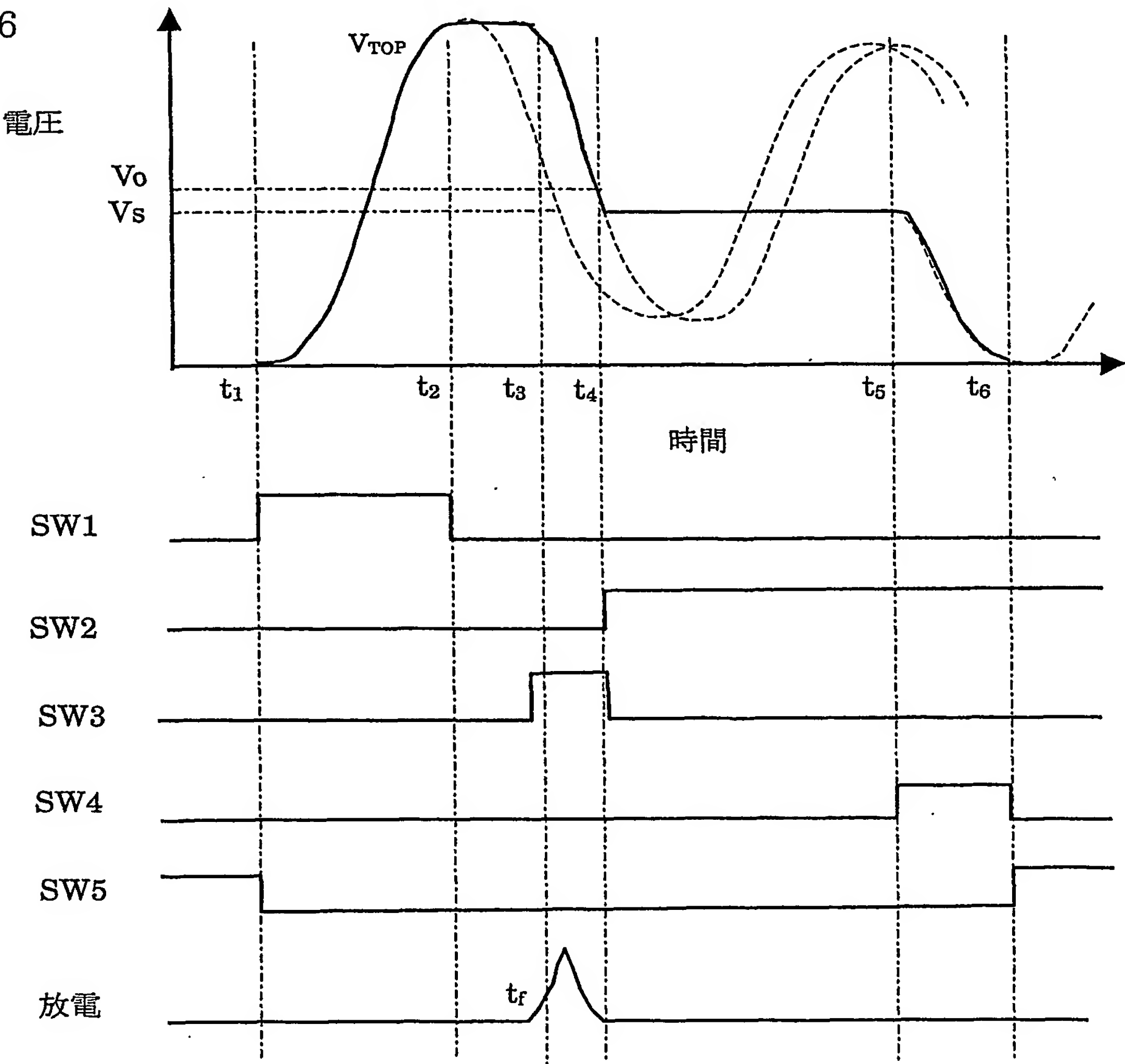


図 17

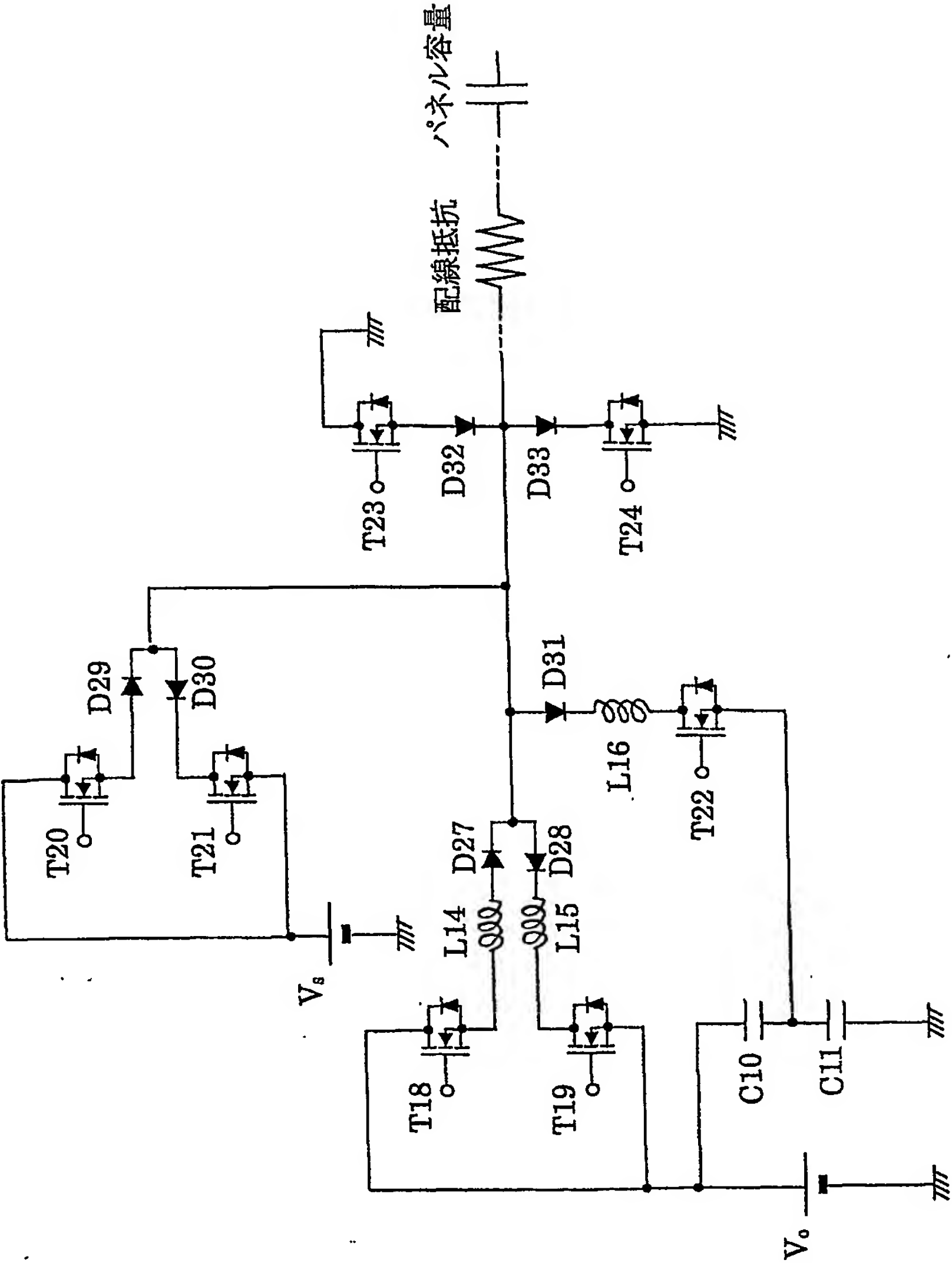


図 1 8

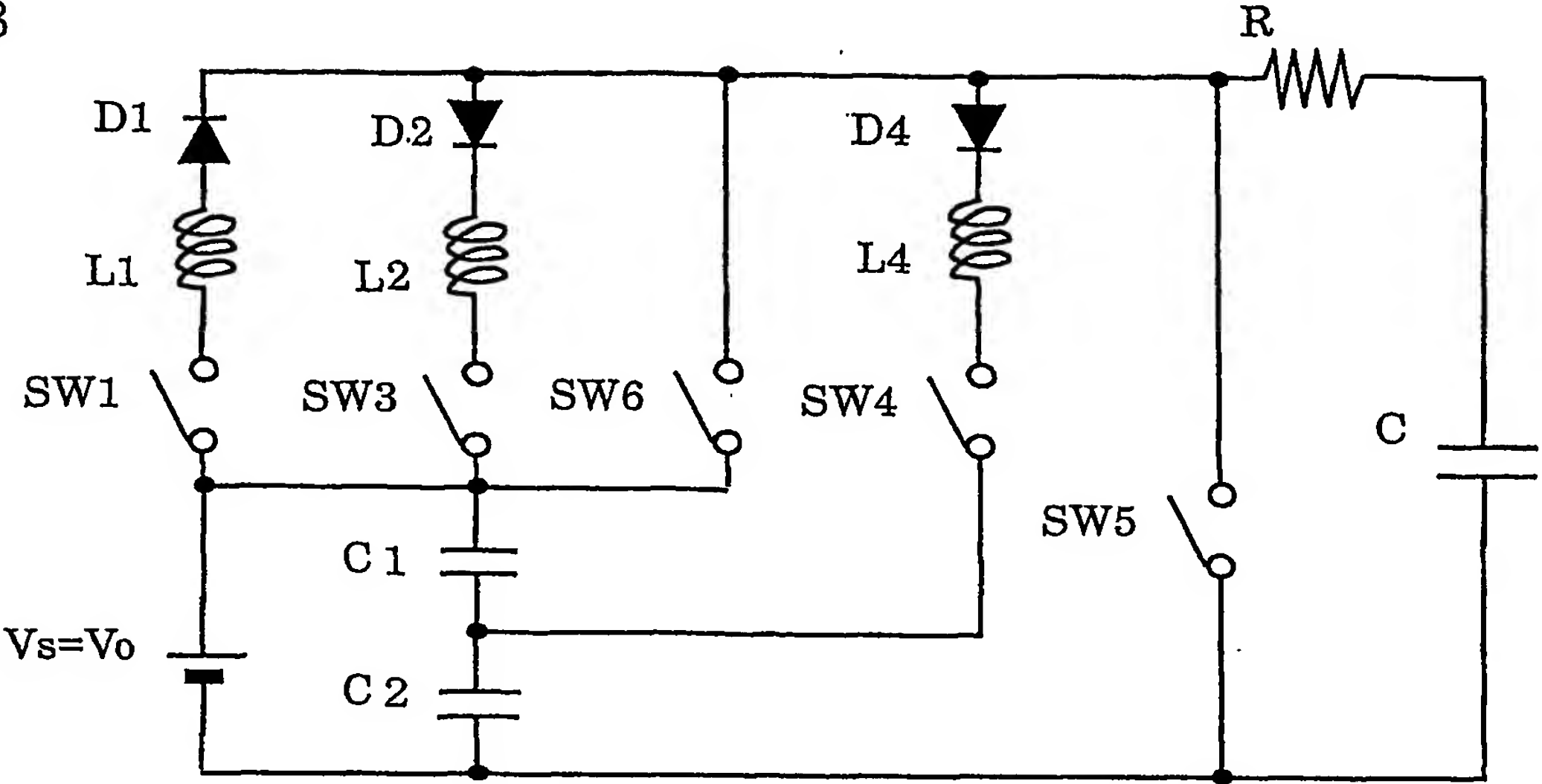


図 1 9

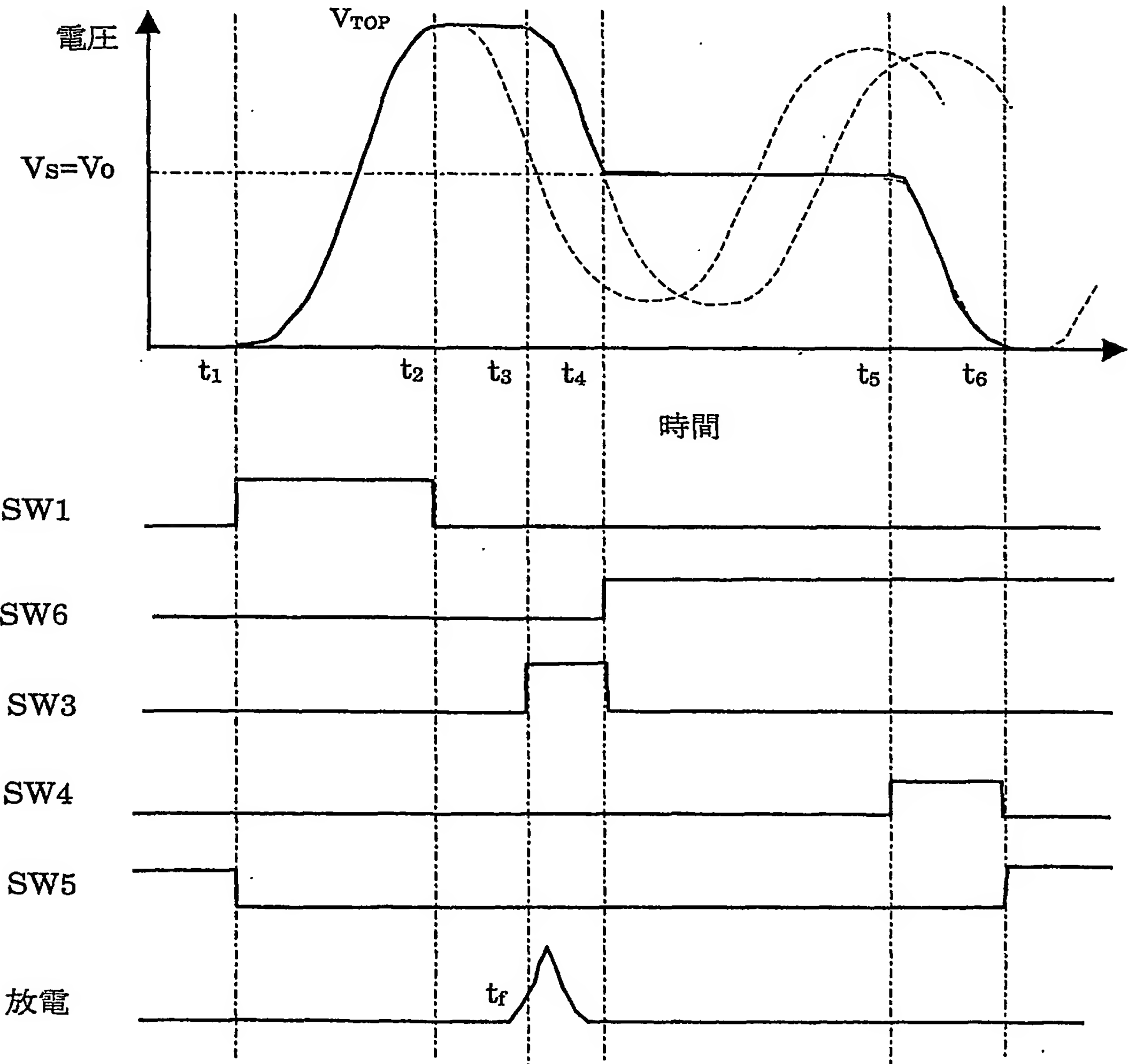


図 20

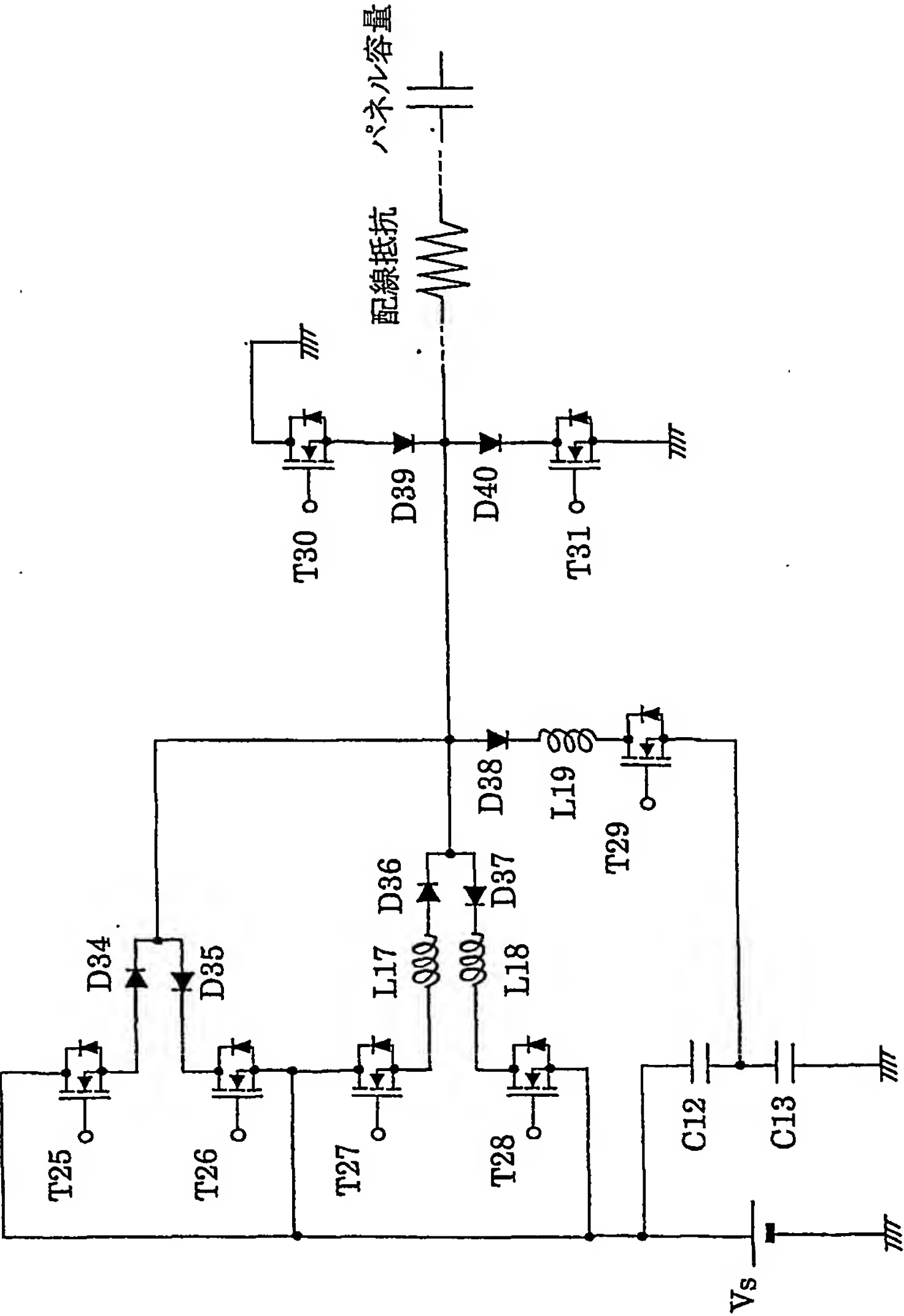


図 2 1

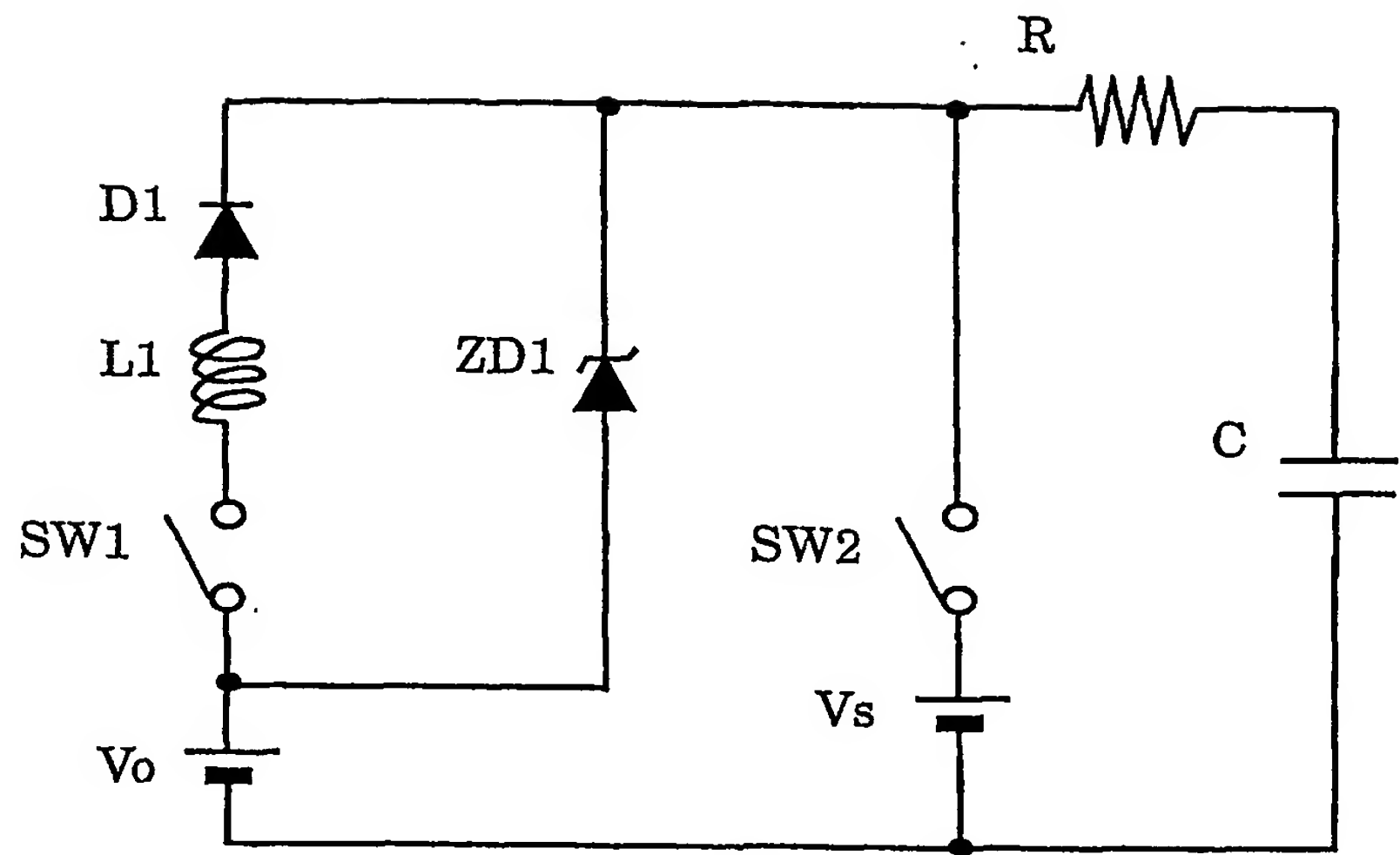


図 2 2

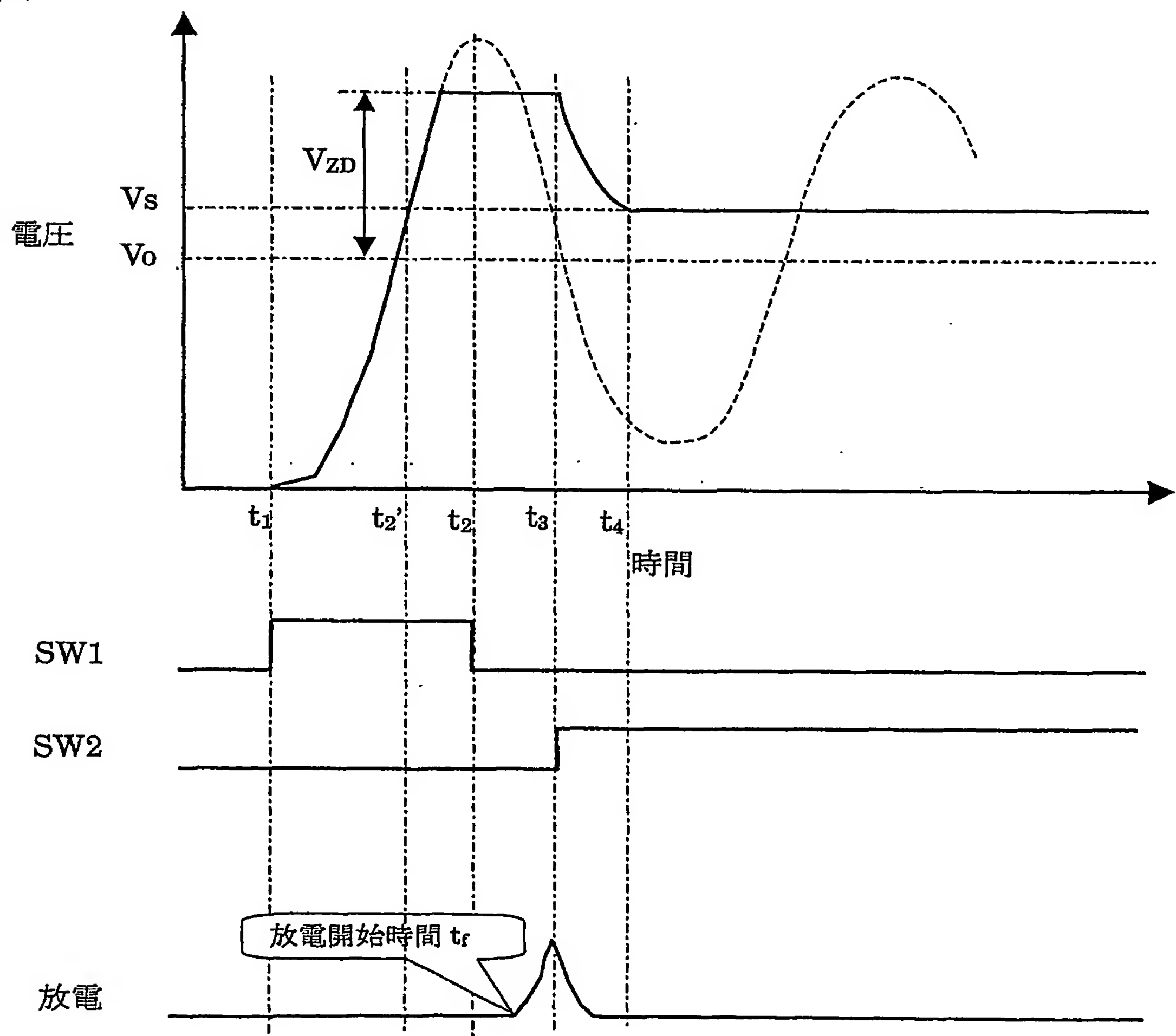




図 23

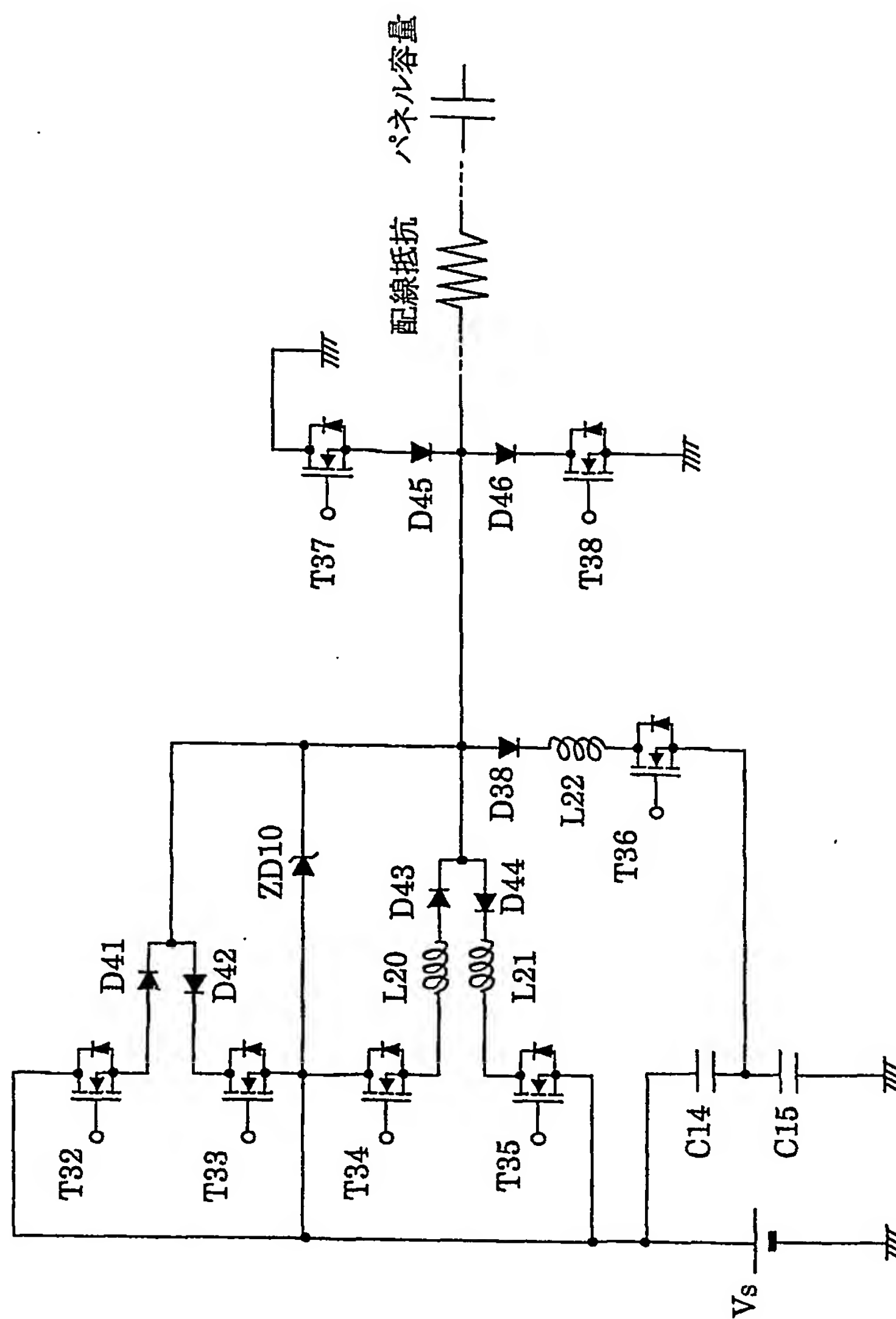


図 2 4

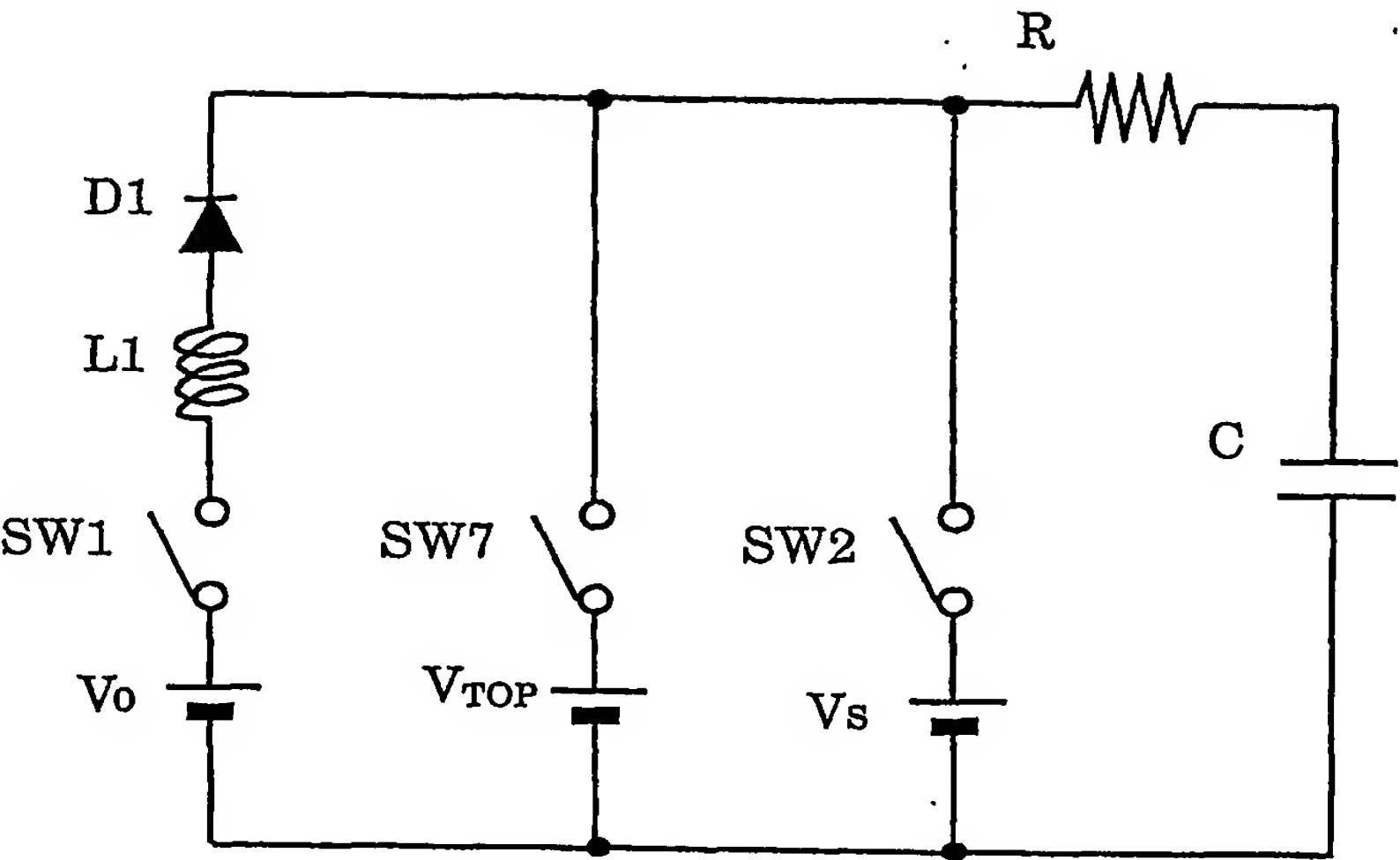


図 2 5

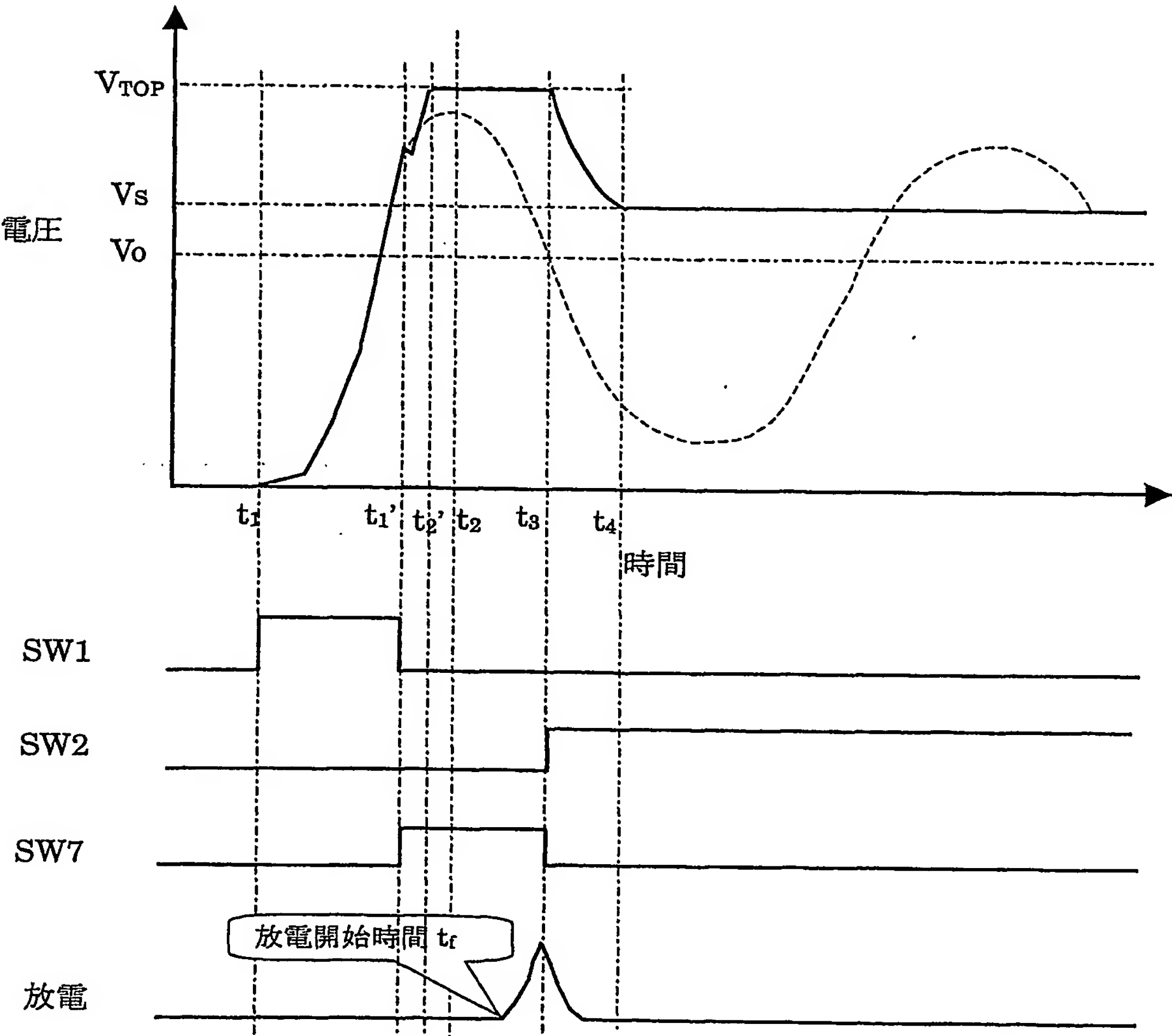


図 26

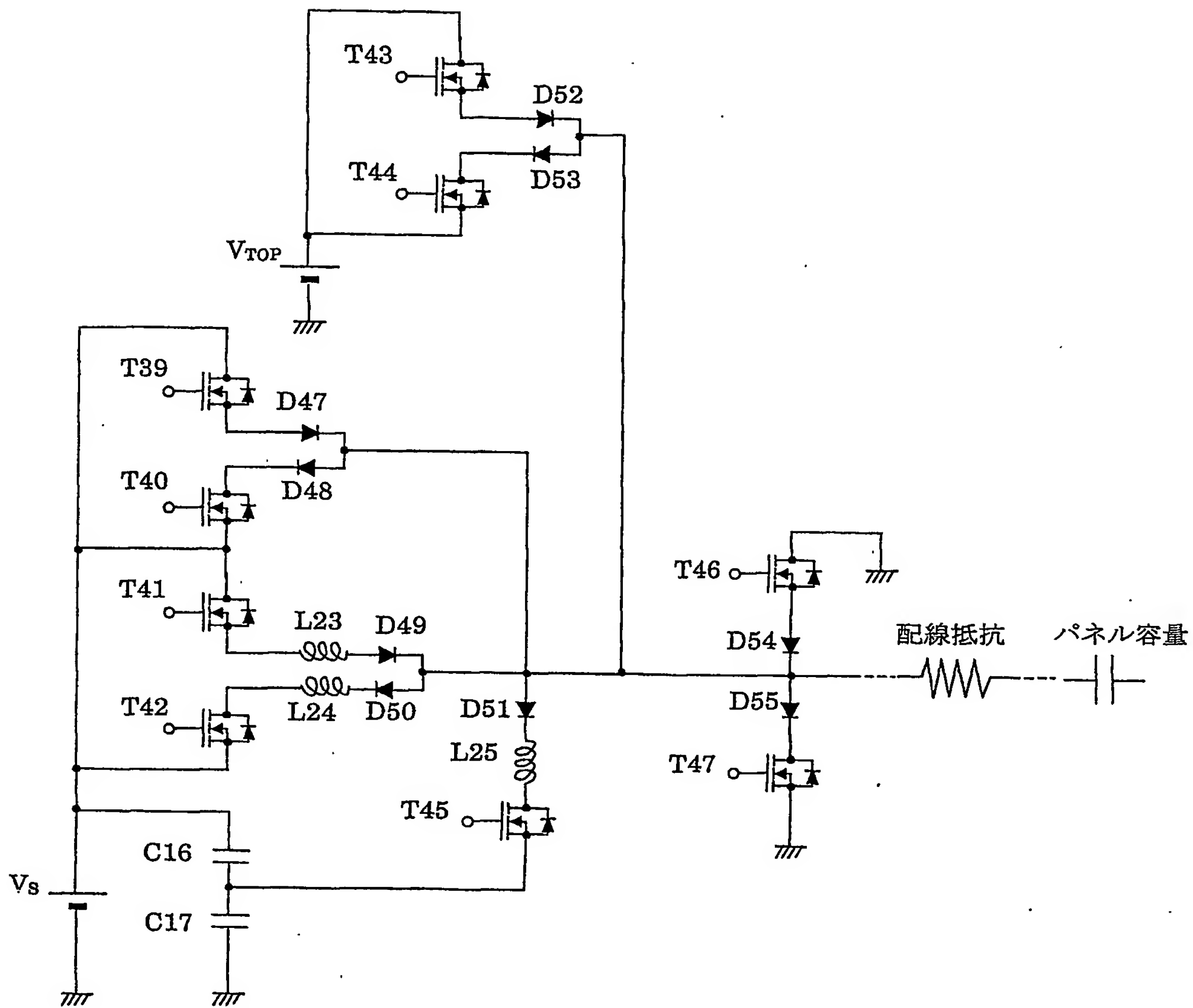


図 2 7

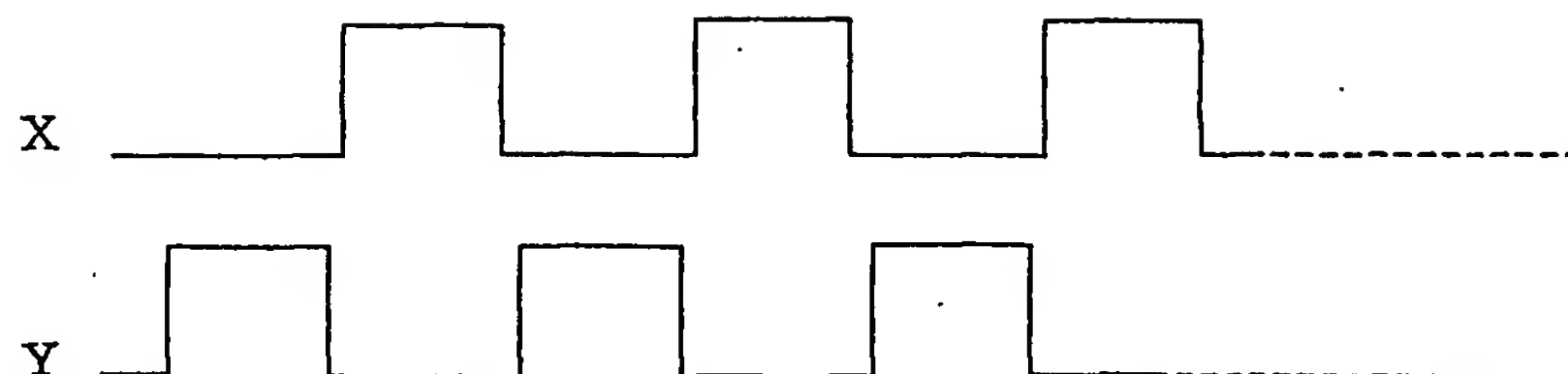


図 2 8

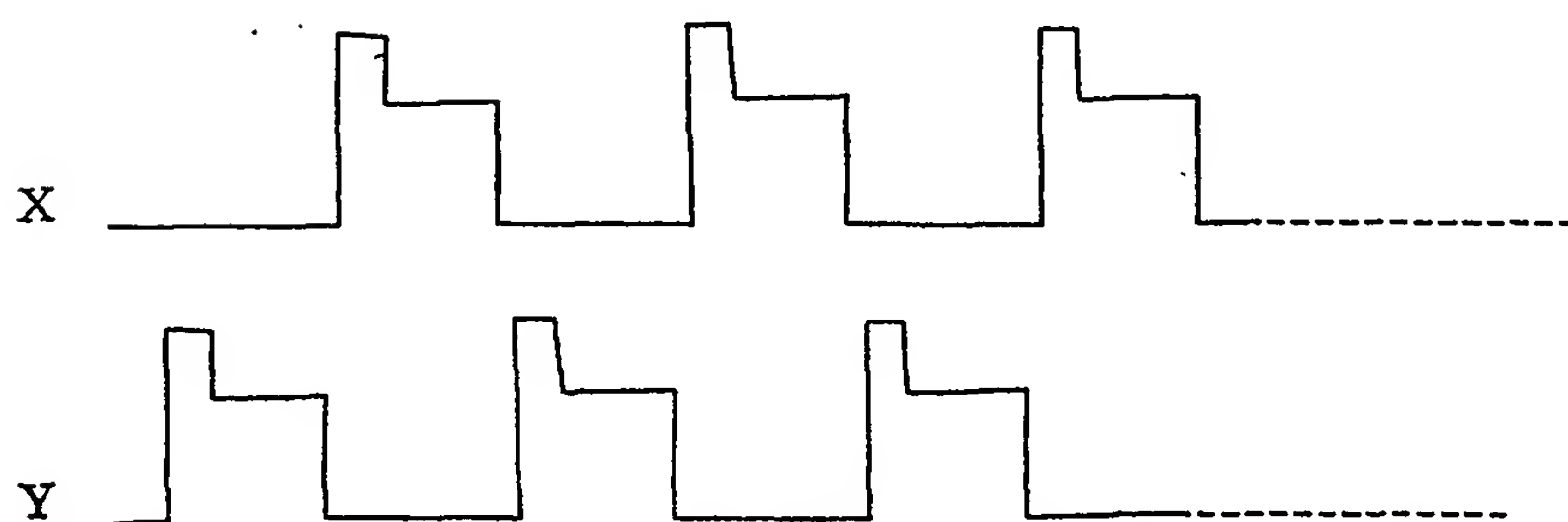


図 2 9

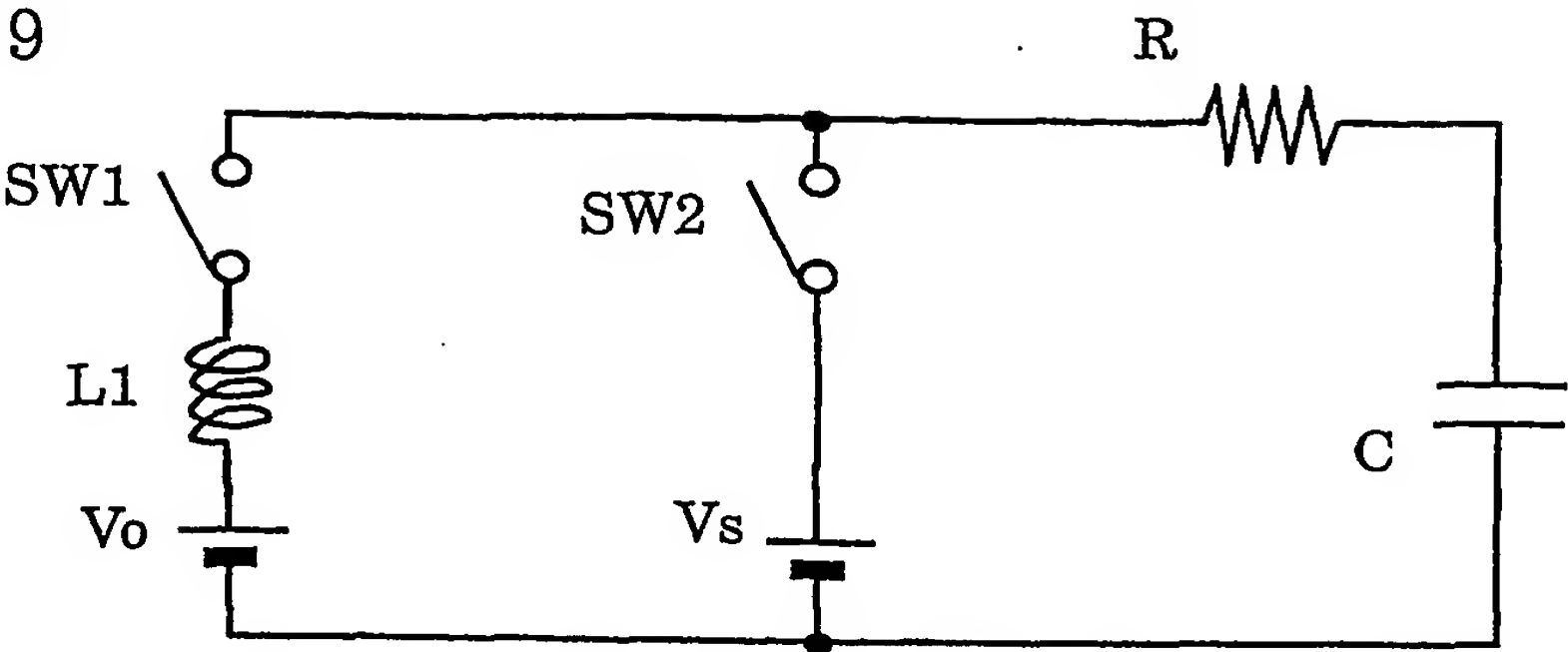
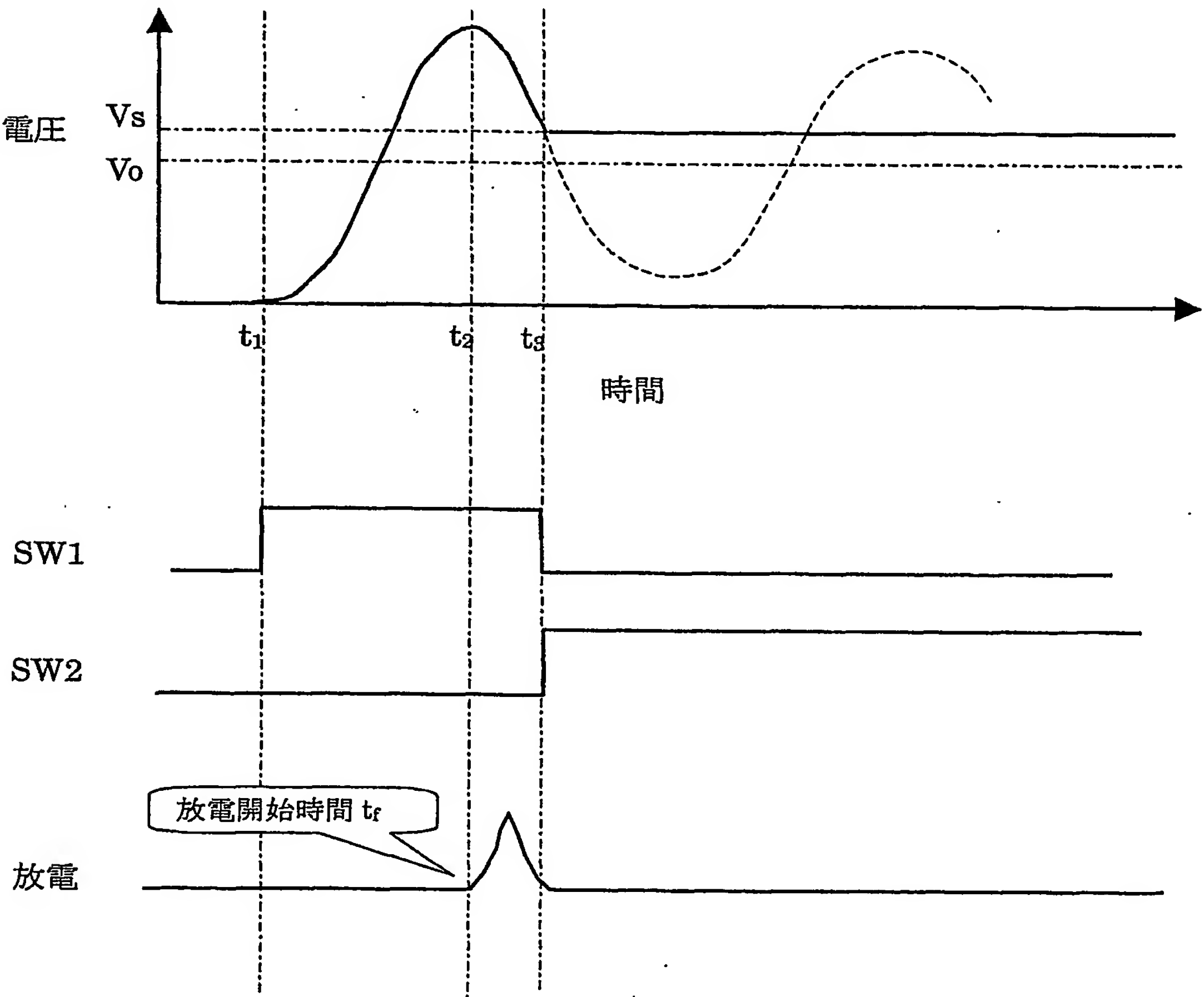
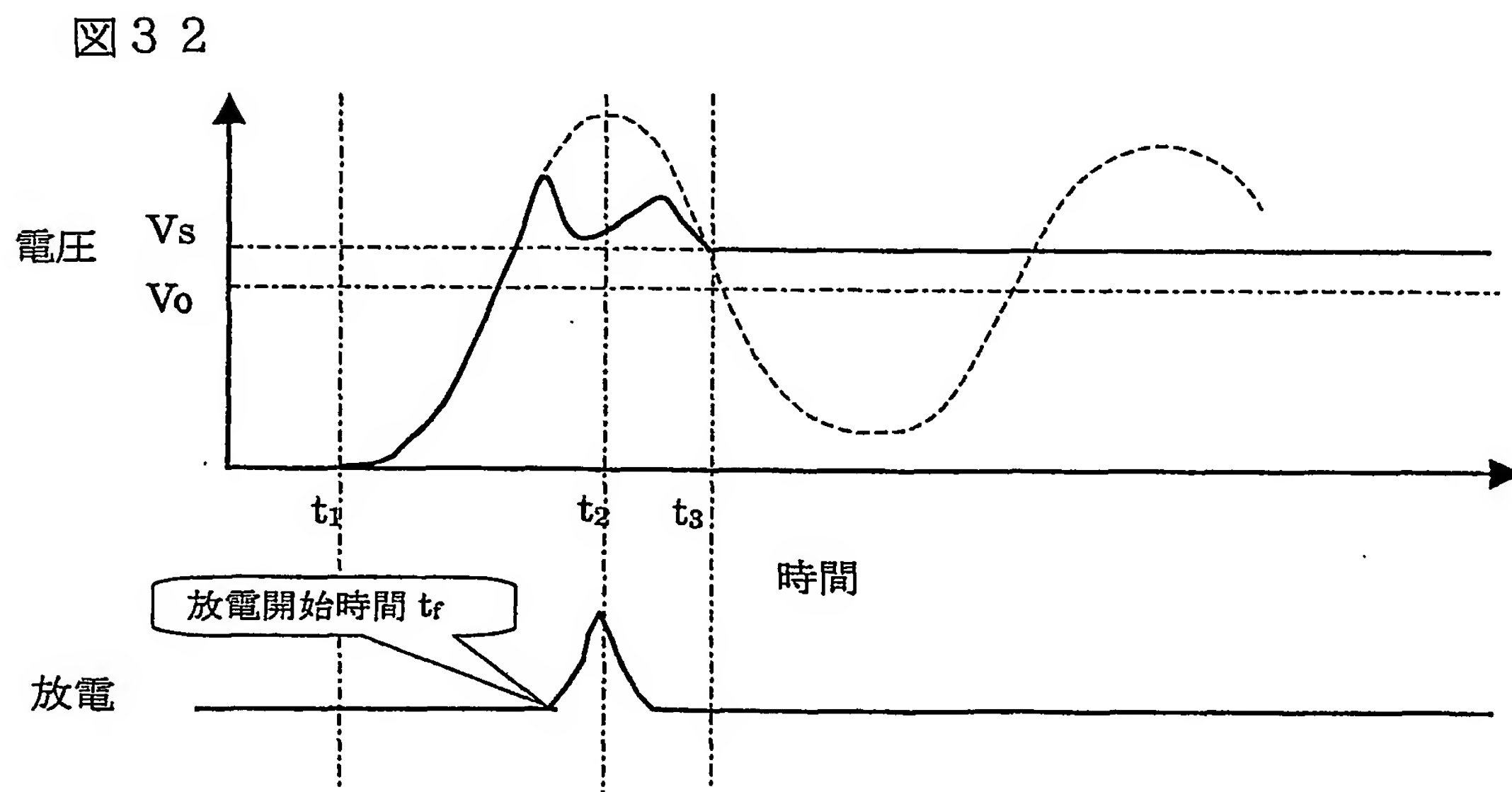
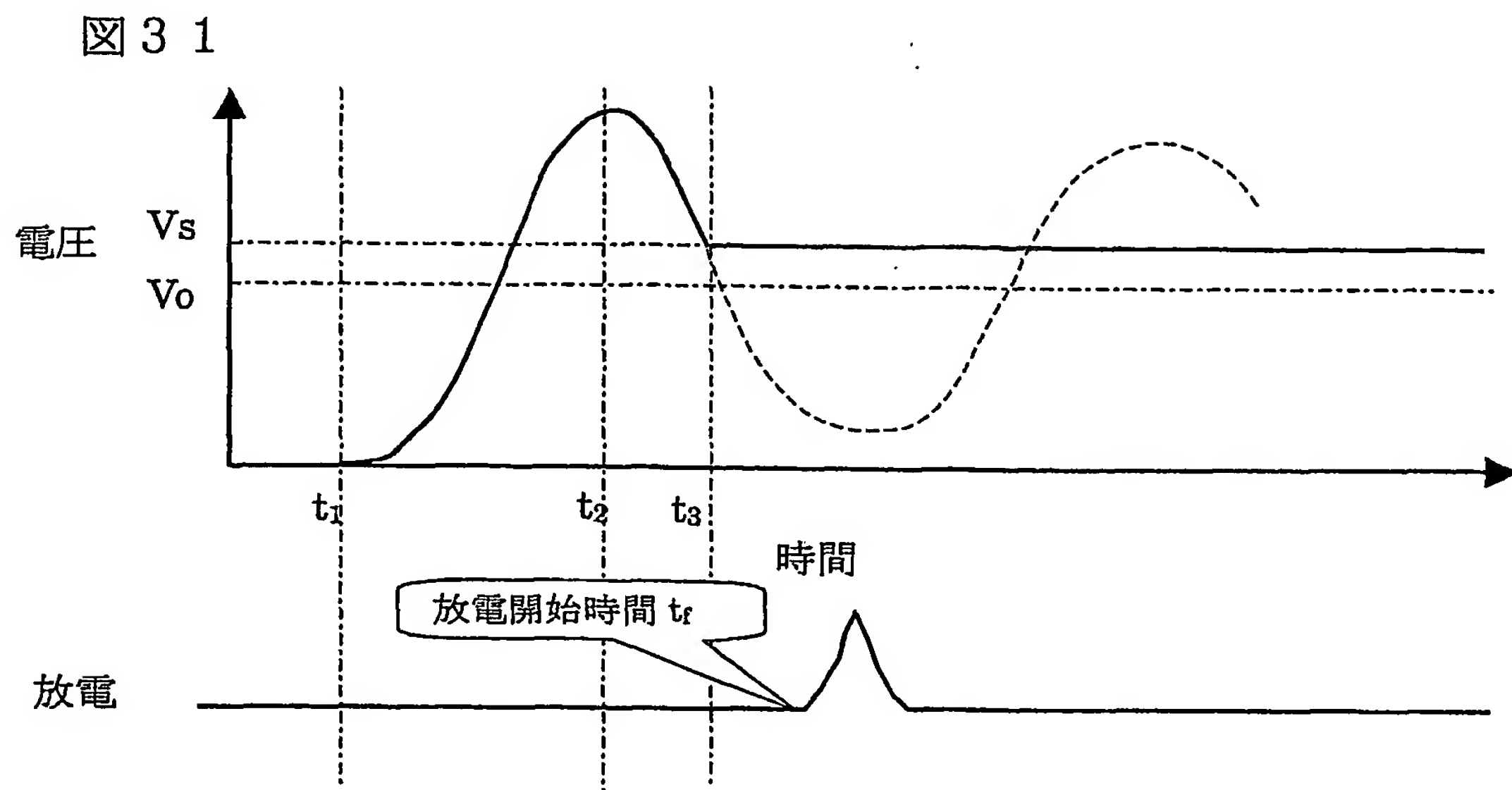


図 3 0





# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/08953

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/28, G09G3/20, H04N5/66, H03K17/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/28, G09G3/20, H04N5/66, H03K17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-352927 A (NEC Corp.), 24 December, 1999 (24.12.99), Par. Nos. [0101] to [0116]; Fig. 3	1-4
Y	Par. Nos. [0101] to [0116]; Fig. 3 (Family: none)	8
X	JP 2002-351389 A (Pioneer Electronic Corp.), 06 December, 2002 (06.12.02), Par. Nos. [0031] to [0051]; Figs. 11, 14 & EP 1260956 A2 & US 2002/175908 A1	1-4
Y	JP 2000-181404 A (Mitsubishi Electric Corp.), 30 June, 2000 (30.06.00), Par. Nos. [0046] to [0075]; Figs. 1 to 2 (Family: none)	8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
21 October, 2003 (21.10.03)

Date of mailing of the international search report  
04 November, 2003 (04.11.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08953

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-56666 A (Matsushita Electric Industrial Co., Ltd.), 27 February, 2001 (27.02.01), Par. Nos. [0065] to [0088]; Figs. 3 to 4 (Family: none)	5-6
A	JP 2002-215089 A (Fujitsu Hitachi Plasma Display Ltd.), 31 July, 2002 (31.07.02), Par. No. [0108]; Fig. 9(b) (Family: none)	7
A	JP 2001-75528 A (Matsushita Electric Industrial Co., Ltd.), 23 March, 2001 (23.03.01), Par. Nos. [0066] to [0092]; Figs. 3 to 5 (Family: none)	1-8

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/28, G09G3/20, H04N5/66, H03K17/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09G3/28, G09G3/20, H04N5/66, H03K17/00

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-352927 A (日本電気株式会社) 1999. 12. 24 段落番号【0101】-【0116】, 図3	1-4
Y	段落番号【0101】-【0116】, 図3 (ファミリーなし)	8
X	JP 2002-351389 A (パイオニア株式会社) 2002. 12. 06 段落番号【0031】-【0051】, 図11, 14 &EP 1260956 A2 &US 2002/175908 A1	1-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

## 国際調査を完了した日

21. 10. 03

## 国際調査報告の発送日

04.11.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

橋本 直明

2G

9707

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献 .		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-181404 A (三菱電機株式会社) 2000.06.30 段落番号【0046】-【0075】, 図1-2 (ファミリーなし)	8
A	JP 2001-56666 A (松下電器産業株式会社) 2001.02.27 段落番号【0065】-【0088】, 図3-4 (ファミリーなし)	5-6
A	JP 2002-215089 A (富士通日立プラズマディスプレイ株式会社) 2002.07.31 段落番号【0108】, 図9 (b) (ファミリーなし)	7
A	JP 2001-75528 A (松下電器産業株式会社) 2001.03.23 段落番号【0066】-【0092】, 図3-5 (ファミリーなし)	1-8